

Veliki nedostatak konstantnog smanjivanja tehnologije izrade integrisanih kola leži u činjenici da testiranje se manjih uređaja postaje eksponencijalno teže. Kada su štampane ploče bile velike, mogle su se testirati tehnikom zvanom bed-of-nails, koja je koristila tanke elektrode za pristupanje zalemljenim pinovima sa donje strane štampane ploče radi testiranja loših spojeva lemljenjem. Ovakvi mašine za testiranje su morale biti namenski napravljene, bile su skupe, neefikasne i veći deo testova se mogao primeniti tek kada je dizajniranje završeno. Problemi sa ovom metodom su eskalirali kada su dimenzije štampanih ploča počele naglo da se smanjuju sa unapređivanjem SMD komponenti. U slučajevima da su komponente lemljene sa obe strane štampane ploče, nije ostalo mesta za pristup elektrodama radi testiranja ploče.

Da bi se našlo rešenje za ovaj problem grupa elektronskih kompanija iz Evrope je formirala konzorcijum 1985 godine i nazvala ga Joint Test Action Group (JTAG). Konzorcijum je osmislio specifikaciju za izvršavanje boundary-scan testiranje hardvera na nivou integrisanih kola. Ovo je rezultovalo objavljivanjem Jtag boundary scan tehnologije koja je utvrđena IEEE standardima. Ovaj standard je do danas dopunjen sa još dve specifikacije. Standard definiše test logiku koja se mora implementirati u integrisano kolo u cilju obezbeđivanja načina za strukturalno testiranje fizičkih veza na štampanoj ploči i in-system programiranja.

Nakon objavljivanja IEEE 1149.1 specifikacije, razvijena su još tri dodatna standarda. Prva dva standarda (IEEE 1149.4 i IEEE 1149.6) objavljena su 2000 i 2003 godine i bave se proširivanjem na analogni domen. Treći standard (IEEE 1532) je utvrdio zajednički opisni format za programabilne uređaje kao što su PLD i FPGA čipovi u cilju što lakšeg konfigurisanja putem boundary-scan tehnologije.

Pored ovoga postoji veći broj pokušaja da se ova tehnologija još dodatno unapredi, među kojima su:

- IEEE 1149.7 koji se bazira na smanjenju potrebnih pinova za JTAG
- P1581 proširenje testova za memorije
- SJTAG proširenje za testiranje na sistemskom nivou

IEEE 1149.1 standard je izdržao test vremena. Poslužio je kao ugrađena (ugnježdjena) test tehnologija u milionima integrisanih kola, obezbedio je test i programatorsku strukturu nebrojenih sistema i nastavlja da nalazi primene u novim oblastima. JTAG/Boundary-scan je veoma pouzdana tehnologija za testiranje. Ona predstavlja skok sa fizičkog pristupa štampanoj ploči na elektronski pristup koji nudi daleko veću dostupnost za testiranje. JTAG/Boundary-scan zahteva samo četiri kontrolne električne linije i par važnih "Design for Testability" pravila.

Specifikacija definiše TestAccessPort (TAP), koji predstavlja sekvencijalni automat stanja koji se naziva TAP kontroler i kao takav je implementiran u integrisano kolo, Instrukcijski registar i u određeni broj Data registara.

U uskoj vezi sa specifikacijom je Boundary-scan Descriptive Language (BSDL) koji definiše sintaksu korišćenu za opisivanje implementacije u čip i operacija koje treba izvršiti.

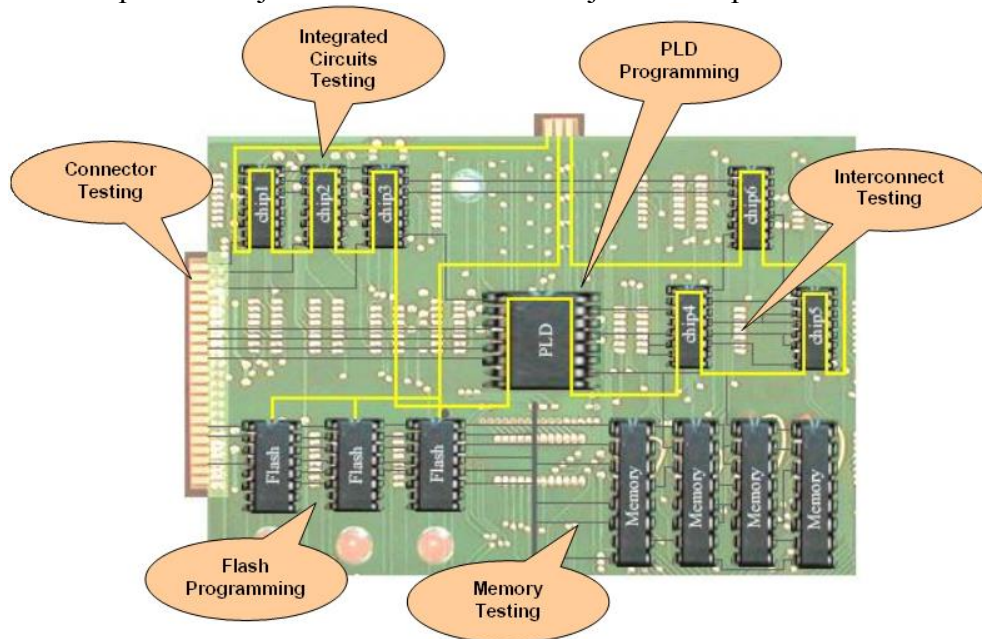
Boundary Scan Description Language (BSDL) je podskup VHDL-a koji se koristi za opisivanje načina na koji je JTAG (IEEE 1149.1) implementiran u određenom uređaju tj opisuje se način pristupa JTAG lancu. Da bi uređaj bio u skladu sa JTAG-om mora imati

pridruženi BSDL fajl. BSDL fajlovi se mogu besplatno preuzeti sa web sajtova proizvođača uređaja.

BSDL fajl sadrži sledeće elemente:

- Opis entiteta: sadrži naziv uređaja ili dela njegove funkcionalnosti
- Generički parametar: broj koji opisuje tip pakovanja. Ovaj broj može dolaziti van trenutnog entiteta.
- Opis porta: opisuje prirodu pinova u uređaju (ulazni, izlazni, dvosmerni).
- Izjave upotrebe (use statements): pozivaju se na spoljašnje definicije (kao npr. IEEE 1149.1).
- Mapiranje pinova: opisuje povezanost između logičkih signala i fizičkih pinova.
- Identifikacija porta za skeniranje: definiše pinove na uređaju za pristup JTAG funkcionalnostima (TDI, TDO, itd.).
- Opis registra instrukcija: signali koji se koriste za pristup JTAG modovima uređaja.
- Opis pristupa registrima: opisuje koji su registri postavljeni između TDI i TDO registra za svaku JTAG instrukciju.
- Opis Boundary registra: lista Boundary-scan ćelija i opis njihovih funkcionalnosti.

Boundary-scan test je metoda za strukturalno testiranje štampanih ploča. Ova metoda je razvijena za implementaciju različitih zadataka od kojih su neki prikazani na slici 1.

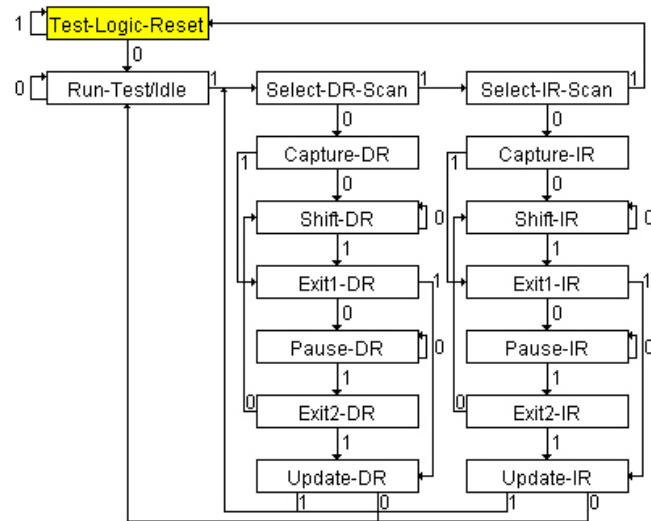


Slika1 upotreba Boundary-scan metode

Standardni Boundary-scan uređaj obuhvata sledeće tri komponente:

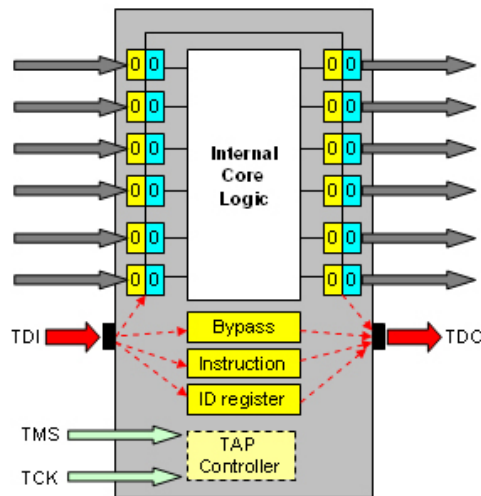
- Serijski pristupni test port (TAP)
- Grupu registara: boundary-scan registar, instrukcijski (IR) registar i registar za premošćenje. Test podaci su učitavaju preko Test Data Input porta (TDI) i izlaze kroz Test Data Output port (TDO).
- TAP kontroler je 16 bitni konačni automat stanja (slika 2) ima tri glavne funkcije:

1. učitava instrukcije u IR registar
2. obezbeđuje kontrolne signale za učitavanje i pomeranje test podataka od TDI do TDO porta
3. vrši određene test operacije, kao npr. snimanje, pomeranje i osvežavanje test podataka.



Slika 2 TAP kontroler

Boundary-scan arhitektura je prikazana na slici 3.



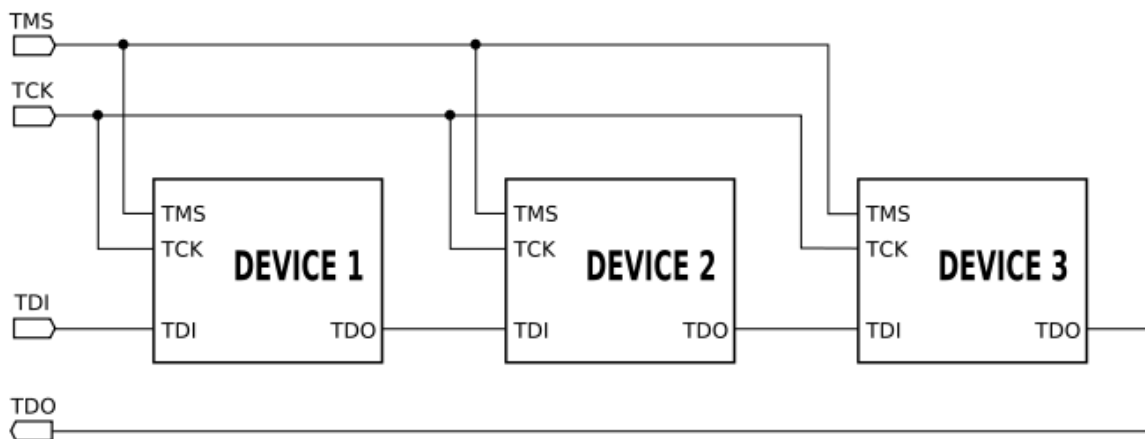
Slika 3 Arhitektura Boundary-scan uređaja

Kontrolni signali definišu serijski protokol koji se realizuje preko pet pinova:

- TCK: takt koji služi za sinhronizaciju operacija internog automata stanja.
- TMS: selektor moda rada se uzorkuje na rastuću ivicu od TCK kako bi se odredilo naredno stanje automata.
- TDI: podaci se uzorkuju na rastuću ivicu TCK signala i pomeraju (šiftuju) u test ili programatorsku logiku kada je interni automat stanja u korektnom stanju.

- TDO: izlaz predstavlja šifrovane podatke iz test ili programatorske logike uređaja i validni su na opadajućoj ivici TCK signala kada se interni automat stanja nalazi u korektnom stanju.
- TRST: reset (opcionalno) kada je na logički niskom nivou resetuje interni automat stanja.

TCK, TMS i TRST su ulazni pinovi koji pogone TAP kontroler koji predstavlja konačni automat sa 16 stanja. TAP kontroler rukovodi sa razmenom podataka i instrukcija. Kontroler prelazi u novo stanje na osnovu vrednosti TMS signala na svakoj rastućoj ivici TCK signala. Sa odgovarajućim ožičenjem moguće je testirati više integrisanih kola ili štampanih ploča odjednom. Na slici 3 je demonstrirana logička šema povezivanja više JTAG uređaja u jedan lanac.



Slika4 Više uređaja u JTAG lancu

Standardni test proces za proveru ispravnosti uređaja ili štampane ploče korišćenjem boundary-scan tehnologije je sledeći:

- Tester šalje test ili dijagnostičke podatke na ulazni pin uređaja
- Boundary-scan ćelija snima podatak u boundary-scan registre koji nadgledaju ulazne pinove
- Podaci se isčitavaju iz uređaja preko TDO pina radi verifikacije
- Novi podaci se nakon toga mogu poslati uređaju preko TDI pina
- Nakon ovoga tester može verifikovati ispravnost podataka na izlazu iz uređaja

Ovakvim jednostavnim testiranjem moguće je otkriti greške u proizvodnji kao što je loš kontakt na pinu, nedostajuće integrisano kolo, pogrešno rotirano integrisano kolo na štampanoj ploči ili pregorelo integrisano kolo.

Glavna prednost ove tehnologije leži u sposobnosti da se podaci pošalju i isčitaju iz bilo kog uređaja bez obzira na njegovu aplikaciju ili logiku u okruženju.

Još jedna velika prednost je da je drastično smanjen broj test tačaka za pristup uređaju. Sa ovom tehnologijom nema fizičkih test tačaka. Zahvaljujući tome postalo je isplativo proizvoditi manje ploče velike gustine. Ova tehnologija nudi veću mogućnost dijagnostike od ostalih tehnologija. Konvencionalne tehnike primenjuju test vektore na ulaz uređaja i nadgledaju izlaze. Ako se detektuje problem pri testiranju potrebno je

izvršiti dodatne testove da bi se izolovao tačan uzrok greške. Nasuprot tome, boundary-scan ćelija nadgleda ponašanje uređaja posmatrajući stanja na ulaznim pinovima. Ovo omogućava veoma lako izolovanje po grupama mogućih grešaka, kao npr. loš kontakt sa štampanom pločom.

Neke kompanije su razvile posebne dodatke za JTAG standard koji omogućavaju implementaciju softverskih funkcija za debugovanje. Sa odgovarajućim hardverom ugrađenim u ciljni procesor moguće je učitati kod u uređaj, pokrenuti ga i proveriti stanje registara i memorijskih ćelija. Ove funkcije pokrivaju većinu osnovnih osobina tipičnog debagera.

JTAG takođe dozvoljava skeniranje unutrašnjih elemenata uređaja (npr. CPU). Ovo znači da je moguće koristiti JTAG za debugovanje ugrađenih sistema dozvoljavanjem pristupa bilo kom delu uređaja kojem se istovremeno može pristupiti putem CPU-a i pri tom vršiti testiranje nesmanjenom brzinom. Ovo je postala glavna metoda za emulaciju koju koriste proizvođači silikonskih komponenti. JTAG takođe obezbeđuje opciju debugovanja na sistemskom nivou. Dodatni pinovi na uređaju olakšavaju benčmarking, profilisanje i uvođenje sistemskih breakpointova.

Provera integriteta JTAG lanca

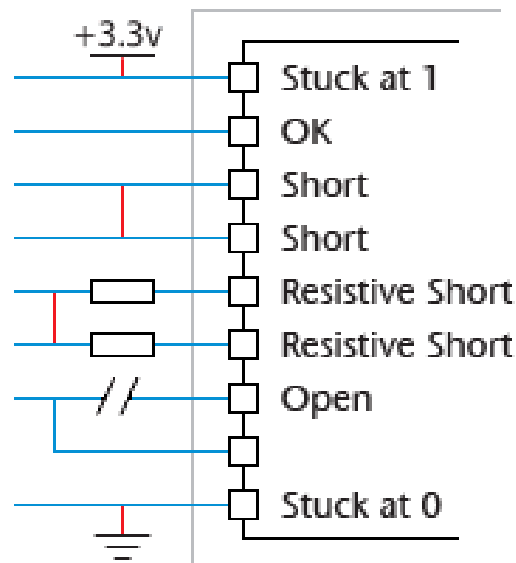
Najjednostavniju formu testiranja predstavlja testiranje integriteta JTAG lanca, tj. provera da su svi JTAG uređaji koji bi trebalo da budu u JTAG lancu zaista fizički prisutni. Svaki JTAG uređaj poseduje jedinstveni identifikatorski broj. Slanjem odgovarajuće sekvence JTAG komandi mogu se isčitati svi identifikacioni brojevi priključenih uređaja. Prostim upoređivanjem identifikacionih brojeva može se proveriti da li su svi JTAG uređaji ispravno zalemljeni na ploči.

Testiranje povezanosti

Testiranje povezanosti proverava fizičku vezu između komponenti u električnom kolu. Ove veze su podložne greškama koje se mogu svrstati u tri kategorije:

- Kratak spoj
- Otvorena veza
- Spojeno sa masom ili napajanjem

Primer za sve tri grupe je dat na slici 5.



Slika 5 primer mogućih grešaka

Standardni testovi mogu proveriti stanje veza samo između JTAG uređaja, pošto se samo kod ovih uređaja može upravljati sa stanjem pinova preko JTAGa. Međutim ukoliko se poznaje tačna konfiguracija štampane ploče mogu se izvršiti nestandardni testovi koji obuhvataju i delove štampane ploče koji nisu kompatibilni sa JTAG standardom. Testiranje ispravnosti veza je nezamenjiv alat u procesu nadgledanja kvaliteta proizvodnje. Svaka proizvedena štampana ploča se može testirati na uobičajene greške u proizvodnji kao npr. nezalemljeni pin. Ovo je posebno važno kod BGA uređaja pošto tamo nema mogućnosti za vizuelnu inspekciju.

In-system programiranje

Mnogi moderni programabilni uređaji kao što su FPGA i CPLD čipovi su dizajnirani ne samo da budu kompatibilni sa JTAG standardom, već poseduju dodatne JTAG funkcije koje omogućavaju programiranje uređaja nakon što je zalemljen na štampanu ploču. Drugi uređaji, kao što su fleš memorije, mogu biti programirani indirektno preko njihove veze sa JTAG lancem.

Sposobnost da se koristi JTAG lanac za programiranje uređaja “in system” metodom eliminiše potrebu za kupovinu skupog programatora. Takođe veliku prednost predstavlja činjenica da je moguće vrlo lako tokom eksploatacije uređaja izvršiti osvežavanje sadržaja programa.

Funkcionalno testiranje

Nakon što je testiran integritet zalemljenih uređaja i nakon što su uređaji uspešno isprogramirani može se pristupiti testovima funkcionalnosti.

Neki JTAG uređaji su dizajnirani sa ugrađenim BIST (Built In Self Test) kolom za proveru njihove unutrašnje logike. Slanjem odgovarajućih JTAG komandi mogu se pokrenuti ovi testovi.

Druge, JTAG nekompatibilne, sekcije uređaja se takođe mogu testirati. Ovaj proces se izvršava pomoću međuveza između uređaja u JTAG lancu i drugih uređaja na štampanoj ploči. Ova forma testiranja se uglavnom primenjuje na grupu ili klaster nekompatibilnih JTAG uređaja u električnom kolu. Test se izvodi tako što se pinovi na JTAG uređajima dovedu u unapred poznato stanje, a zatim se očitavaju vrednosti sa pinova i upoređuju se sa proračunatim vrednostima.

Jednu varijantu ovakvih testova predstavlja testiranje memorije. Niz JTAG test signala se šalje na takav način da se ti signali predstavljaju adrese i podatke koje se upisuju na memorijske lokacije. Nakon toga se sprovodi drugi test čiji je zadatak da preko JTAGa isčita upisane podatke iz memorije.

Testiranje nekompatibilnih JTAG uređaja

Da bi se izvršili što efikasniji testovi i do kraja proverila ispravnost štampane ploče moraju se uključiti u testiranje i JTAG nekompatibilni uređaji. Testiranje povezanosti je veoma dobra metoda za proveru fizičkog integriteta procesa proizvodnje, ali postoje greške koje se ne mogu detektovati na ovaj način. Npr. moguće je samo da se utvrdi da ne postoji otvorena veza na pinu u slučajevima da postoji komunikacija između tog pina i nekog drugog pina u dizajnu. Ovo znači da se testovi povezanosti mogu vršiti samo između pinova koji imaju JTAG funkcionalnost.

Sa druge strane moguće je koristiti pinove JTAG uređaja za pogon i nadgledanje pinova na nekompatibilnim JTAG uređajima. Ova metoda je veoma popularna za testiranje memorija.

U slučajevima da je JTAG nekompatibilan uređaj povezan sa pinovima JTAG uređaja moguće izvršiti testove povezanosti i funkcionalnosti do određene mere što se može primeniti na:

- Eksterne konektore
- Video čipove
- IIC uređaje
- Ethernet kontrolere
- LED
- Prekidače...

Definicije stanja TAP kontrolera

Da bi zadovoljio IEE1149.1 standard uređaj mora posedovati:

- TAP kontroler
- Instrukcijski registar
- Registre podataka

Naredna tabela daje spisak stanja konačnog automata TAP kontrolera.

Exit2-DR
Exit1-DR
Shift-DR

Pause-DR
Select-IR
Update-DR
Capture-DR
Select-DR
Exit2-IR
Exit1-IR
Shift-IR
Pause-IR
Run-Test / Idle
Update-IR
Capture-DR
Test Logic Reset

Test-Logic-Reset

Ako se ciljni uređaj nalazi u stabilnom Test-Logic-Reset stanju, test logika se nalazi u resetu i samim tim uređaj je u normalnom radu. Instrukcijski registar se resetuje na opcode koji selektuje opcionalnu IDCODE instrukciju ili, ako je podržana, Bypass instrukciju. Određeni registri za podatke takođe mogu biti resetovani na njihove inicijalne vrednosti.

Run-Test/Idle

Za ciljni uređaj Run-Test/Idle je stabilno stanje u kojem test logika može aktivno izvršavati test ili se test logika nalazi u stanju čekanja JTAG instrukcije.

Select-DR-Scan, Select-IR-Scan

U ciljnom uređaju ne izvršava se nikakva funkcija dok su aktivna stanja Select-DR-Scan ili Select-IR-Scan i TAP kontroler izlazi iz ovih stanja nailaskom sledećeg TCK takta. Ova stanja omogućavaju odabir između skeniranja registra podataka ili instrukcijskog registra.

Capture-DR

Ako se ciljni uređaj nalazi u Capture-DR stanju, selektovani registar podataka može izvršiti snimanje vrednosti na način koji to definiše trenutno važeća instrukcija. Operacija snimanja se izvršava na rastućoj ivici TCK signala, nakon čega se izlazi iz Capture-DR stanja.

Shift-DR

Ulaskom u Shift-DR stanje selektovani registar podataka se postavlja na putanju skeniranja između pinova TDI i TDO i, na prvu opadajuću ivicu TCK signala, TDO pin prelazi iz stanja visoke impedanse u aktivno stanje. Signal na TDO pinu predstavlja

logički nivo koji je prisutan u bitu najmanje težine selektovanog registra podataka. Dok je aktivno Shift-DR stanje podaci se serijski isčitavaju iz selektovanog registra podataka pri svakom TCK taktu.

Exit1-DR, Exit2-DR

Exit1-DR i Exit2-DR su privremena stanja koja okončavaju skeniranje registra podataka. Moguće je vratiti se u Shift-DR stanje iz Exit1-DR ili Exit2-DR stanja bez ponovnog snimanja vrednosti u registar podataka. Na prvu opadajuću ivicu TCK signala nakon ulaska u Exit1-DR stanje, TDO pin prelazi iz aktivnog stanja u stanje visoke impedanse.

Pause-DR

U stabilnom Pause-DR stanju ne izvršava se nikakva funkcija. Pause-DR stanje suspenduje i ponovo pokreće operacije skeniranja registara podataka bez gubitka podataka.

Update-DR

Ukoliko trenutno važeća instrukcija poziva selektovani registar podataka da se osveži sa trenutno važećim podatkom, to osvežavanje se vrši na opadajuću ivicu TCK signala, nakon čega sledi prelazak u Update-DR stanje.

Capture-IR

Ukoliko se uređaj nalazi u Capture-IR stanju, instrukcijski registar snima nsvoju trenutnu vrednost. Ova operacija snimanja se vrši na rastuću ivicu TCK signala, nakon čega se izlazi iz Capture-IR stanja.

Shift-IR

Nakon ulaska u Shift-IR stanje, instrukcijski registar se postavlja na putanju skeniranja između pinova TDI i TDO, a na prvu opadajuću ivicu TCK signala, TDO pin prelazi iz stanja visoke impedanse u aktivno stanje. Stanje na TDO pinu predstavlja logički nivo najmanje značajnog bita u instrukcijskom registru. Dok se uređaj nalazi u stabilnom Shift-IR stanju, podaci se serijski isčitavaju iz instrukcijskog registra pri svakom TCK taktu.

Exit1-IR, Exit2-IR

Exit1-IR i Exit2-IR stanja su privremena stanja koja okončavaju skeniranje instrukcijskog registra. Moguće je vratiti se u Shift-IR stanje iz Exit1-IR ili Exit2-IR bez ponovnog snimanja stanja instrukcijskog registra. Na prvu opadajuću ivicu TCK signala nakon ulaska u Exit1-IR, TDO pin prelazi iz aktivnog stanja u stanje visoke impedanse.

Pause-IR

Ne vrše se nikakve funkcije dok se automat nalazi u Pause-IR stanju i TAP kontroler može ostati u ovom stanju neodređeno dugo vremena. Pause-IR stanje suspenduje i nastavlja operaciju skeniranja instrukcijskog registra bez gubitka podataka.

Update-IR

Trenutna instrukcija se osvežava i postaje važeća na prvu narednu opadajuću ivicu TCK signala, nakon čega se ulazi u Update-IR stanje.

Sve JTAG operacije serijski učitavaju ili učitavaju podatke u JTAG instrukcijski registar i registre podataka. TAP kontroler obezbeđuje direktan pristup svim ovim registrima. Postoje dve klase JTAG registara:

- Instrukcijski registar (postoji samo jedan)
- Registar podataka (ima ih više)

Pristup instrukcijskom registru se obezbeđuje preko Shift-IR stanja, dok se pristup registrima podataka obezbeđuje preko Shift-DR stanja.

Da bi se podaci sekvencijalno isčitani iz registara TAP kontroler se mora sprovesti kroz odgovarajuća stanja. Npr. da bi se podaci učitali u instrukcijski registar, TAP kontroler mora biti doveden u Shift-IR stanje, nakon čega se podaci sekvencijalno učitavaju u instrukcijski registar počevši od najmanje značajnog bita.

Dostupni simulacioni paketi

Boundary Scan Applet by TU Tallinn

<http://www.pld.ttu.ee/applets/bs/>

<http://www.pld.ttu.ee/applets/bs/bs.html>

http://www.pld.ttu.ee/applets/bs/bs_exercises.htm

JTAGer by University of Porto

<http://paginas.fe.up.pt/~jmf/hibu2k2/jtager.htm>

Scan Coach by Goepel Electronic

<http://www.goepel.com/en/jtag-boundary-scan/education/boundary-scan-coach.html>

Tallinn University of Technology

<http://www.gojtag.com/>