

JTAG

Az integrált áramkörök előállítási technológiájának folyamatos fejlődésének egyik előnye a miniatürizálás. Sajnos ez egyben nagy hátrány is, ugyanis az egyre kisebb szerkezetek kivizsgálása exponenciálisan bonyolultabb. Amikor a nyomtatott áramkörök (%%NyÁK-PCB Printed Circuit Board) mérete nagyobb, az alkatrész beültetési sűrűség pedig kisebb volt, alkalmazni lehetett a „Bed of Nails” módszert, amely vékony elektródákat tartalmazó „szögágy”-at illesztett a NyÁK alsó oldalához, abból a célból, hogy leellenőrizze a forrasztások és csatlakozások minőségét. Az ilyen tesztelő berendezéseket egyedileg kellett legyártani, de csak miután a NyÁK tervezése befejeződött, ezen felül drágák és alacsony hatékonyságúak voltak. Az SMD (%%Surface Mounted Device - felületszerelt) technika a NyÁK-ok méreteinek csökkenésével, valamint az alkatrész beültetési sűrűség növekedésével járt, ezzel folyamatosan nőttek a nevezett kivizsgálási módszerrel kapcsolatos gondok is. Abban az esetben, ha a nyomtatott áramkör mindkét oldalára került alkatrész, nem maradt hozzáférési lehetőség a teszt-elektrodák számára.

Annak érdekében, hogy megoldást találjanak erre a problémára, európai elektronikai vállalatok egy csoportja 1985-ben létrehozott egy konzorciumot JTAG (%%Joint Test Action Group - !!!magyarul is!!!) néven. A konzorcium egy tervezett készített a hardver integrált áramkörök szintű tesztelésére, amely később *JTAG Boundary-scan* néven IEEE szabvány lett. Ezt a szabványt később két kiegészítéssel bővítették ki. A szabvány meghatározza, mely teszt-logikát kell megvalósítani az integrált áramkörben ahhoz, hogy el lehessen végezni a NyÁK fizikai kapcsolatainak strukturális kivizsgálását és a rendszerbe beágyazott (%%in-system) elemek programozását.

A IEEE 1149.1 közzétételét követően, további három szabvány alakul ki. Az első két szabvány (IEEE 1149.4 1149.6 és az IEEE), amelyek 2000-ben és 2003-ban jelentek meg az analóg tartományban hoztak előrelépést. A harmadik szabvány (IEEE 1532) egy közös leíró alakot definiált, a programozható eszközök – mint pl. a PLD (%%Programmable Logic Device) és FPGA (%%Field Programmable Gate Array) integrált áramkörök – részére. Melyeket így a Boundary-scan technológiával könnyű a beépítés után is programozni és konfigurálni.

Ezen kívül számos kísérlet történt, a technológia továbbfejlesztésére némely ezek közül:

- Az IEEE 1149.7, amely a szükséges JTAG tűcsatlakozók számát csökkentette;
- A P1581, amely bevezette a memória kivizsgálást;
- SJTAG a kivizsgálások rendszerszintre emelése.

IEEE 1149.1 szabvány kiállta az idő próbáját. Ez a technológia biztosítja a beágyazott vizsgálati lehetőséget több millió integrált áramkörben; számtalan rendszer kivizsgálási és programozási alapjait képezi; valamint új területeken további alkalmazásra lel. A JTAG/Boundary-scan megbízható tesztelési technológia. Minőségi ugrást jelent a nyomtatott áramköri lapok fizikai kontaktuson alapuló tesztelésével szemben azzal, hogy biztosítja az elektronikus hozzáféréseken alapuló és ezzel a sokkal nagyobb szabadságot

adó tesztelést. A JTAG/Boundary-scan alkalmazásához csak négy vezérlő vonalra és pár *Design for Testability* (tervezett tesztelhetőség) szabály betartására van szükség.

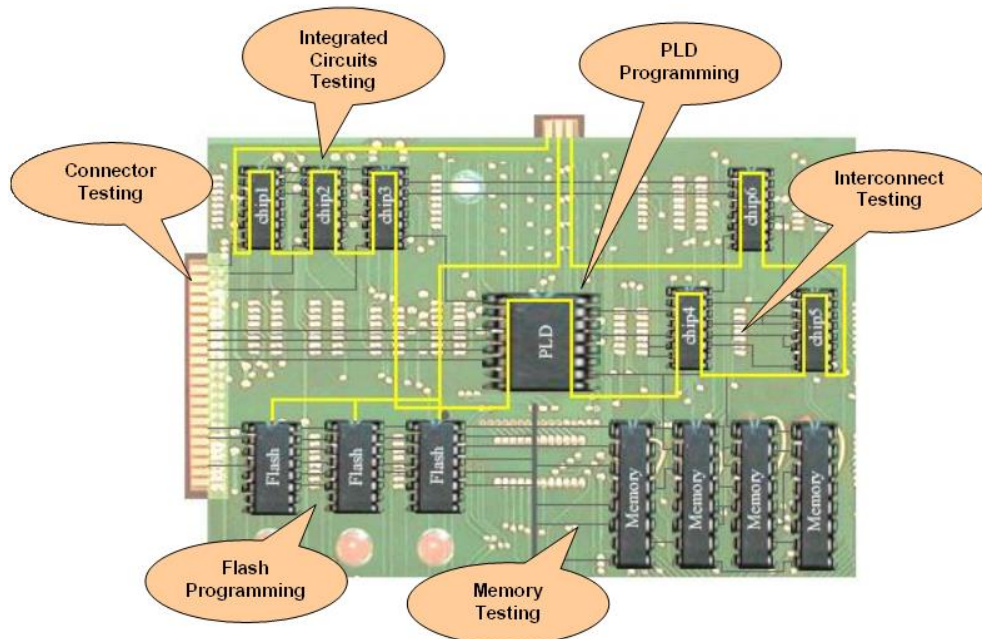
A JTAG leírás definiálja a *Teszt Hozzáférési Port*-ot (TAP (%%Test Access Port)), ami nem más mint egy sorrendi automata, amelyet gyakran *TAP vezérlő*nek is neveznek. A vezérlő megvalósítása a cél integrált áramkörben, az utasításregiszterrel valamint meghatározott számú adatregiszterrel történik.

A leírással szoros kapcsolatban van a Boundary-scan leíró nyelv (BSDL - Boundary-scan Descriptive Language), amely meghatározza az integrált áramköri megvalósítás leírásának szintaxisát valamint a végrehajtandó műveleteket. A Boundary-scan leíró nyelv egy részhalmaza a VHDL-nek (%%Verilog Hardware Description Language – Verilog Hardverleíró Nyelv) amelyet a JTAG (IEEE 1149.1) meghatározott eszközben való megvalósításának a leírására használnak. Azt írja le, hogy az eszköz hogyan csatlakozik a JTAG lánchoz. Ahhoz, hogy egy készülék JTAG szabatos legyen, rendelkeznie kell egy csatolt BSDL leírással. A BSDL leírás-fájlok ingyenesen letölthetők az integrált áramköröket és készülékeket gyártók weboldalairól.

BSDL leíró fájl az alábbi elemeket tartalmazza:

- az *Entitás* leírása: tartalmazza az eszköz vagy egy funkcionalitásának a nevét
- általános paraméter: egy szám, amely leírja a tokozás típusát. Ez az érték az entitáson kívüli forrásból is származhat.
- portok leírása: leírja az eszköz csatlakozó-lábainak a jellegét (bemenet, kimenet, kétirányú).
- használati nyilatkozatok (%%use statements): külső meghatározásokra hivatkoznak (mint pl. IEEE 1149.1).
- csatlakozási leírás: leírja a kapcsolatot a belső logikai és a külső fizikai jel között.
- a letapogatási portok azonosítása: meghatározza az eszköz mely csatlakozó-lábai szolgálnak a JTAG funkciók eléréséhez (mint pl. TDI (%%Test Data Input), TDO (%%Test Data Output), stb.).
- az utasítás regiszter leírása: a jelek leírása, használatukkal hozzáférhetőek a készülék JTAG módjai.
- hozzáférés a regiszterekhez: leírja minden JTAG utasításra, melyik regiszterek helyezkednek el a TDI (%%Test Data Input) és TDO (%%Test Data Output) regiszterek között.
- a Boundary regiszter leírása: a Boundary-scan cellák listája és funkcióik leírása.

A Boundary-scan vizsgálat a nyomtatott áramkörök szerkezeti vizsgálatának a módszere. Ezt a módszert különböző feladatok végrehajtására dolgozták ki, amelyek közül néhányat az 1. ábra mutat be:

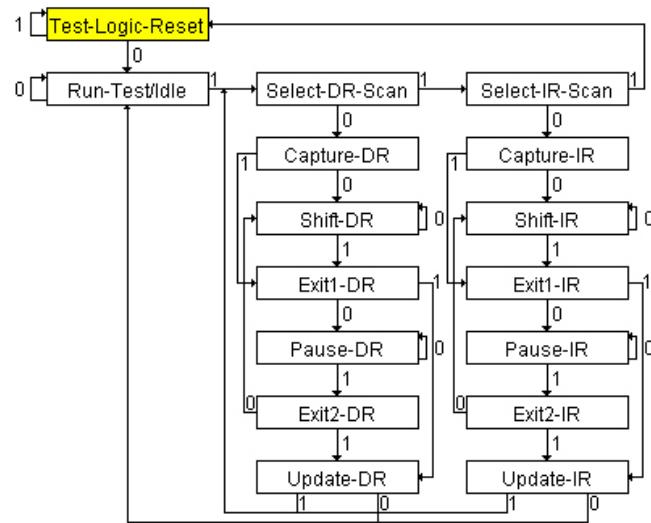


KEP-KEP-KEP-KEP (!!! Lefordítani a képet !!!)

1. ábra – a Boundary-scan módszer felhasználása

A szabványos Boundary-scan készülék a következő három összetevőből áll:

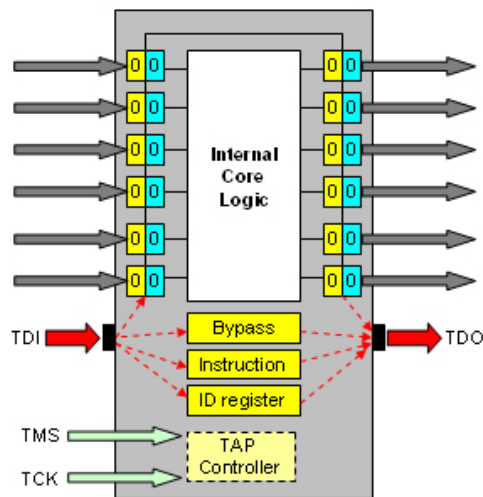
- Soros hozzáférési teszt port (TAP (%%Test Access Port))
- Egy regisztercsoport: a Boundary-scan regiszter; az utasítás (IR (%%Instruction Register)) regiszter és az áthidaló regiszter. A vizsgálati adatok betöltése az adatbeviteli porton (TDI (%%Test Data Input)) keresztül történik és az adatkimeneti porton (TDO (%%Test Data Output)) keresztül távoznak.
- TAP (%%Test Access Port) vezérlő egy 16 bites véges automata (2. ábra). Három fő funkciója van:
 1. betölti az utasításokat az IR regiszterbe,
 2. biztosítja a vezérlőjeleket a vizsgálati adatok beolvasására és mozgatására a TDI és TDO portok között,
 3. bizonyos tesztelési műveleteket végez, mint pl.: a vizsgálati adatok rögzítése, mozgatása és frissítése.



KEP-KEP-KEP-KEP (!!! Lefordítani a képet !!!)

2. ábra – a TAP vezérlő

Boundary-scan felépítése a 3. ábrán van bemutatva.



KEP-KEP-KEP-KEP (!!! Lefordítani a képet !!!)

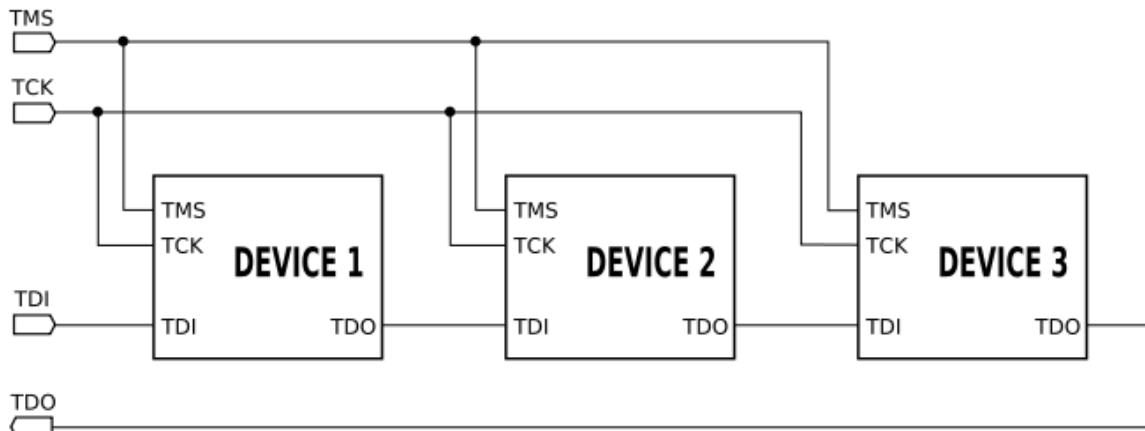
3. ábra – a Boundary-scan berendezés felépítése

A soros protokoll öt vezérlőjellel van meghatározva meg:

- TCK: *órajel*, a belső véges automata működését szinkronizálja.
- TMS: *módválasztó*, az automata következő állapotát határozza meg, a TCK felfutó élkor van mintavételezve.
- TDI: a *beolvasandó adat*, a soros adat a TCK felfutó élkor van mintavételezve és – az automata állapotától függően – a teszt vagy a programozó regiszterekbe eltolva/mozgatva.
- TDO: a *kimenő adat*, az automata állapotától függően, a teszt vagy a programozó regiszter eltolásával kapott adat, a TCK lefutó élkor válik érvényessé.

- TRST: újraindító (opcionális), ha alacsony logikai szintű, akkor újraindítja a belső véges állapotú automatát.

A TCK, TMS és TRST jelek, amelyek irányítják a TAP vezérlőt, amely egy 16 állapotú automata. A TAP vezérlő kezeli az adatcserét és az utasításokat. A szabályzó, a TCK minden felfutó élére, a TMS értéke szerinti (új) állapotba kerül. A megfelelő bekötéssel egyszerre több integrált áramkört és/vagy nyomtatott áramkört is lehet tesztelni. A 4. ábra bemutatja, hogyan lehet több eszközt egy JTAG láncba összekapcsolni.



KEP-KEP-KEP-KEP (!!! Lefordítani a képet !!!)

4. ábra – több eszköz JTAG láncba kötve

A készülék vagy a nyomtatott áramkört lapok Boundary-scan technológiával történő kivizsgálásának a menete a következő:

1. A kivizsgáló (személy vagy gép) teszt vagy diagnosztikai adatokat küld a berendezés TDI bemenetére;
2. Boundary-scan sejt rögzíti az adatokat, a bemeneteket felügyelő Boundary-scan regiszterekbe;
3. Az adatok – ellenőrzés céljából – visszaolvasásra kerülnek a készülék TDO kimenetéről;
4. Ezután új adatok küldhetők az eszköz TDI bementére;
5. Ezt követően a kivizsgáló ellenőrizni tudja az adatok pontosságát a készülék kimenetén.

Ez az egyszerű teszt képes érzékelni az olyan gyártási hibákat, mint: a nem megfelelő elektromos kapcsolat a csatlakozó-lábakon; ha hiányzik valamelyik integrált áramkör; ha valamelyik integrált áramkör elforgatva lett beültetve; vagy ha valamelyik integrált áramkör tönkrement.

Ennek a technológiának az egyik fő előnye abban rejlik, hogy képes adatokat küldeni és kiolvasni bármilyen eszközből, függetlenül az eszköz logikai környezetétől és alkalmazásától.

A technológia másik nagy előnye az, hogy nagymértékben csökkent az eszköz elérésére felhasznált vizsgálati pontok száma: nincsenek fizikai kontaktust igénylő vizsgálati pontok. Ennek köszönhetően nyereségessé vált a nagy beültetési sűrűségű nyomtatott áramköri lapok előállítás és tesztelése.

Ez a technológia nagyobb diagnosztikai lehetőségeket biztosít, mint más technológiák. A hagyományos kivizsgáló technikák a bemeneteken teszt vektorokat alkalmaznak és követik a kimeneteket. Amennyiben hibát észlelnek, akkor további kivizsgálások sora szükséges ahhoz, hogy a hiba pontos oka meghatározható legyen. Ezzel szemben, a Boundary-scan sejt megfigyeli a bemenő jeleket és a készülék viselkedését, ami lehetővé teszi, hogy a lehetséges hibacsoportok nagyon könnyű elkülönítését (mint pl. a forrasztás miatti, nem megfelelő kapcsolat a nyomtatott áramköri lappal).

Néhány cég különleges adaléko(ka)t fejlesztett ki a JTAG szabványhoz, így lehetővé téve a szoftveres hibakeresési tevékenységet. Megfelelő hardvert építve a cél- processzorba, lehetővé válik programkód betöltése a készülékbe. A program futtatásával ellenőrizhető a regiszterek és a memória állapota. Ezek a funkciók a tipikus hibakereső program (%debugger) legalapvetőbb jellemzőinek felel meg.

A JTAG -gal lehetővé válik a készülék belső elemeinek (pl. CPU) a vizsgálata. Ez azt jelenti, hogy a JTAG -ot beágyazott rendszerek hibakeresésére lehet használni. Lehetőségessé válik az egyidejű hozzáférés a készülék minden olyan részéhez, amelyhez a CPU hozzá bír férni, Mindezt változatlan sebességgel lehet elvégezni. Ez lett a fő emulációs módszer, amelyet az elektronikai alkatrészgyártók használnak. A JTAG hibaelhárítás, rendszerszintű kivizsgálási lehetőségekkel is bír: további csatlakozó-lábak hozzáadása megkönnyíti a készülék sebesség/teljesítmény értékelését, valamint rendszer töréspontok elhelyezését.

A JTAG lánc integritásának ellenőrzése

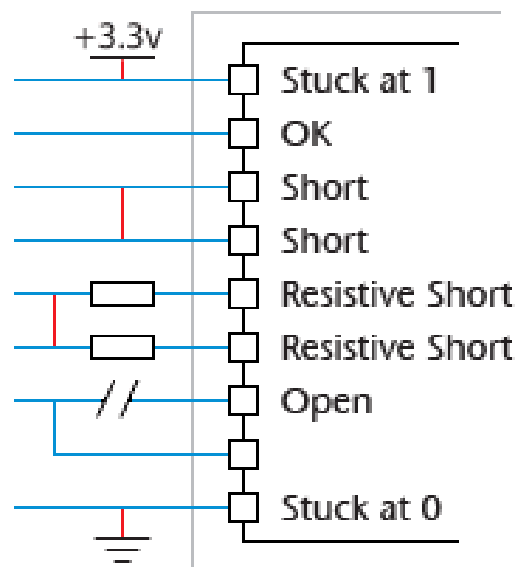
A legegyszerűbb teszt a JTAG lánc integritásának az ellenőrzése, ilyenkor azt ellenőrzik, hogy a JTAG láncban minden előrelátott eszköz jelen van-e. Minden JTAG eszköz egyedi azonosítóval van ellátva. A megfelelő JTAG parancssorozat küldésével kiolvashatóak a csatlakoztatott eszközök azonosítói. Az azonosítók összehasonlításával ellenőrizhető, hogy minden JTAG eszköz fel lett-e forrasztva.

Az elemek közötti összeköttetések ellenőrzése

Az összeköttetések ellenőrzése a komponensek közötti fizikai kapcsolatot teszteli. A lehetséges hibák három csoportba sorolhatók:

- rövidzárlat
- szakadás
- összeköttetés a földdel vagy a tápfeszültséggel

Mindhárom hibacsoportra az 5. ábra mutat példát.



KEP-KEP-KEP-KEP (!!! Lefordítani a képet !!!)

5. ábra – példák a lehetséges hibákra

A szabványos vizsgálatok csak a JTAG eszközök közötti kapcsolatok ellenőrzésére használhatóak, mivel csak ezen eszközök csatlakozóit lehet vezérelni a JTAG-on keresztül. Amennyiben ismert a nyomtatott áramköri lap pontos konfigurációja, elvégezhetőek olyan nem szokványos kivizsgálások is, amely a nyomtatott áramköri lap azon részeit teszteli amelyek nem csereszabatosak a JTAG szabvánnyal. Az összeköttetések ellenőrzése elengedhetetlen eszköze a termelés minőségellenőrzésének. Minden nyomtatott áramköri lapot ki lehet vizsgálni a megszokott gyártási hibákra, mint pl. a hibásan forrasztott csatlakozó vagy láb. Ez különösen fontos a BGA eszközök esetében, ahol nincs lehetőség vizuális ellenőrzésre.

A rendszer programozás (%%in-system programming)

A mai modern programozható eszközök, mint pl. az FPGA és a CPLD integrált áramkörök úgy lettek megterveze, hogy a JTAG szabványnak való megfelelésen túl további JTAG lehetőségeket is támogatnak. Ilyen például az a lehetőség, hogy a nyomtatott áramköri lapra felforrasztott eszköz a JTAG-on keresztül programozható. Egyéb eszközök, mint pl. a flash memóriák, amelyek a JTAG láncsal való kapcsolatukon keresztül, indirekt módon programozhatóak.

Az a lehetőség, hogy a JTAG láncot fel lehet használni az eszközök “in system” programozására, feleslegessé teszi egy drága programozó vásárlását. Ugyanakkor előny az is, hogy lehetséges, a készüléket a működési helyén új programverzióval ellátni.

A funkcionalitás ellenőrzése

Miután le lett ellenőrizve az eszközök forrasztása és az eszközök be lettek programozva, el lehet kezdeni a funkcionalitás ellenőrzését. Némely JTAG készülék úgy lett megtervezve, hogy tartalmaznak egy BIST (%%Built In Self Test – beágyazott önellenőrzés) áramkört, amely ellenőrizni tudja a berendezés belső logikáját. A megfelelő JTAG utasításokkal le lehet futtatni ezeket a tesztek.

Egyéb, a JTAG szabványnak nem megfelelő eszközök is kivizsgálhatóak. Ez a folyamat a JTAG eszközök és más eszközök közötti összeköttetéseket használja fel. Ezt a típusú kivizsgálást általában egy csoport vagy egy klaszter JTAG inkompatibilis elem esetében alkalmazzák. Az eljárás során a JTAG eszközök kimeneteire előre meghatározott értékek kerülnek, majd a bemenetéről beolvasott értékeket összehasonlítják a számított/elvárt értékekkel.

Ezen kivizsgálások egyik változata a memóriatesztelés. Több JTAG teszt jel oly módon jelenik meg, hogy ezek memóriacímet és a memóriába beírandó adatot jelenítsenek meg. Ezután következik a kivizsgálás második fázisa, amikor újabb JTAG jelek segítségével a memóriából visszaolvasásra kerülnek az adatok.

JTAG inkompatibilis eszközök kivizsgálása

Annak érdekében, hogy hatékonyabban lehessen végrehajtani a nyomtatott áramkörök vizsgálatát, be kell vonni a JTAG inkompatibilis elemeket is a vizsgálatba. Az elemek közötti összeköttetések kivizsgálása nagyon jó módszer a gyártási folyamat ellenőrzésére, de vannak olyan hibák, amelyek nem mutathatóak ki ilyen módon. Például, csak akkor lehet megállapítani, hogy nincs szakadás két elem között, ha előre van látva a kommunikáció a két elem között. Ez azt jelenti, hogy az ilyen vizsgálatok csak akkor hajthatóak végre, ha az adott csatlakozásoknak van JTAG funkcionalitásuk.

Másrészt lehetőség van használni a JTAG eszköz lábait a JTAG inkompatibilis eszközök meghajtására és felügyeletére. Ez a módszer nagyon népszerű a memóriák kivizsgálására.

Azokban az esetekben, amikor egy JTAG inkompatibilis eszköz össze van kapcsolva egy JTAG készülékkel, részben elvégezhetőek bizonyos összeköttetési és funkcionalitási kivizsgálások. A leggyakrabban tesztelhető eszközök:

- Külső csatlakozó,
- Videó integrált áramkör,
- IIC eszköz,
- Ethernet vezérlő,
- LED,
- Kapcsoló, stb.

A TAP szabályozó állapotai

Ahhoz hogy megfeleljen a szabványnak az IEE1149.1 eszköznek rendelkeznie kell:

- TAP vezérlővel,
- Utasítás regiszterrel,

- Adat regiszterrel.

Az alábbi táblázat a TAP vezérlő állapotait sorolja fel, amit az egyes állapotok részletes magyarázata követ.

Exit2-DR
Exit1-DR
Shift-DR
Pause-DR
Select-IR
Update-DR
Capture-DR
Select-DR
Exit2-IR
Exit1-IR
Shift-IR
Pause-IR
Run-Test / Idle
Update-IR
Capture-DR
Test-Logic-Reset

Test-Logic-Reset

A céleszköz számára a Test-Logic-Reset állapot stabil állapot, ilyenkor:

- a teszt logika alaphelyzeti – inaktív – állapotban van,
- a készülék normál működést folytat,
- az utasítás regiszter azt az operációs kódot tartalmazza: amely az opcionális IDCODE utasítást; vagy amennyiben támogatott a „Bypass” utasítást képviseli,
- egyes adatregiszterek felveszik a kiindulási értéküket.

Run-Test/Idle

A céleszköz számára Run-Test/Idle állapot stabil állapot, amelyben a teszt logika aktívan végzi a kivizsgálást, vagy a teszt logika JTAG utasításokra vár.

Select-DR-Scan, Select-IR-Scan

Ezek az állapotok lehetővé teszik, az adat- vagy utasítás regiszter vizsgálatát/pásztázását. A céleszköz nem végez semmilyen funkciót, míg a Select-DR-Scan vagy a Select-IR-Scan állapotban van. A TAP vezérlő a következő TCK órajelre kikerül ebből az állapotból.

Capture-DR

Ha a céleszköz a Capture-DR állapotban van, akkor a kijelölt adatregiszter – az érvényes utasításnak megfelelően – adatokat rögzíthet. Az adatrögzítés a TCK órajel felfutó élére történik, ezután az eszköz kikerül a Capture-DR állapotból.

Shift-DR

Belépve a Shift-DR állapotban a kiválasztott adatregiszter a TDI bemenet és TDO kimenet közötti útvonalra kerül. A TCK órajel első lefutó élére a TDO kimeneti jel nagyimpedanciás állapotból aktív állapotba kerül. A TDO kimeneten megjelenő jel logikai szintje a kiválasztott adatregiszter legkisebb helyértékű bitjének felel meg. Amíg aktív a Shift-DR állapot, minden egyes TCK órajelre, adatok olvasódnak ki – sorosan – a kiválasztott regiszterből.

Exit1-DR, Exit2-DR

Exit1-DR és Exit2-DR olyan ideiglenes állapot, amelyek megszakítják az adatregiszter kiolvasást. Ezekből az állapotokból lehetőség van, visszatérni a Shift-DR állapotba anélkül, hogy az adatregiszterbe ismét adatrögzítés történne. Az Exit1-DR állapotba kerülés utáni első TCK lefutó élre a TDO kimenet nagyimpedanciás állapotot vesz fel.

Pause-DR

A stabil Pause-DR állapotban semmilyen funkció sem hajtódik végre. A Pause-DR állapot adatvesztés nélkül felfüggeszti, majd újraindítja az adatregiszter beolvasást/pásztázást.

Update-DR

Amennyiben az aktuális utasítás felszólítja a kiválasztott adatregisztert az adatok frissítésére, ez a frissítés a TCK órajel lefutó élére fog megtörténni, ami után az eszköz az Update-DR állapotba kerül.

Capture-IR

Ha a készülék a Capture-IR állapotban van, akkor az utasításregiszter rögzíti az aktuális értékét. A rögzítési művelet a TCK órajel felfutó élére történik meg, miután a rendszer elhagyja a Capture-IR állapotot.

Shift-IR

Miután a rendszer Shift-IR állapotba kerül, az utasításregiszter a TDI bemenet és TDO kimenet közötti útvonalra kerül. A TCK órajel első lefutó élére a TDO kimeneti jel nagyimpedanciás állapotból aktív állapotba kerül. A TDO kimeneten megjelenő jel logikai szintje az utasításregiszter legkisebb helyértékű bitjének felel meg. Amíg aktív a Shift-IR állapot, minden egyes TCK órajelre, adatok olvasódnak ki – sorosan – az utasításregiszterből.

Exit1-IR, Exit2-IR

Exit1-IR és Exit2-IR olyan ideiglenes állapot, amelyek megszakítják az utasításregiszter kiolvasást. Ezekből az állapotokból lehetőség van, visszatérni a Shift-IR állapotba anélkül, hogy az utasításregiszterbe ismét adatrögzítés történne. Az Exit1-IR állapotba kerülés utáni első TCK lefutó élre a TDO kimenet nagyimpedanciás állapotot vesz fel.

Pause-IR

A stabil Pause-IR állapotban semmilyen funkció sem hajtódik végre, a TAP vezérlő meghatározatlanul hosszú ideig ebben az állapotban maradhat. A Pause-IR állapot adatvesztés nélkül felfüggeszti, majd újraindítja az utasításregiszter beolvasást/pásztázást.

Update-IR

Az aktuális utasítás frissítésre kerül. Az új utasítás a TCK órajel következő lefutó élére lesz érvényes, ami után a rendszer az Update-IR állapotba kerül.

Minden JTAG művelet sorosan ír vagy olvas a JTAG utasítás- vagy adatregiszterbe. A TAP vezérlő közvetlen hozzáférést biztosít ezekhez a regiszterekhez. Két JTAG regiszterosztály létezik:

- utasításregiszter (csak egy van belőle),
- adatregiszter (több van belőlük).

Az utasítás-regiszterhez való hozzáférés a Shift-IR állapoton keresztül történik, míg az adat-regiszterhez való hozzáférés a Shift-DR állapoton keresztül történik.

Annak érdekében, hogy az adatok sorban kiolvashatók legyenek a regiszterből, a TAP vezérlőnek bizonyos állapotok sorozatán kell keresztülmennie. Például ahhoz hogy adatok legyenek beírva az utasítás-regiszterbe, TAP vezérlőt a Shift-IR állapotba kell helyezni, ami után az adat – egymás után bitenként sorban – betölthető az utasítás-regiszterbe, kezdve a legkisebb helyértékű bittel.

Elérhető szimulációs csomagok:

Boundary Scan Applet by TU Tallinn

<http://www.pld.ttu.ee/applets/bs/>

<http://www.pld.ttu.ee/applets/bs/bs.html>

http://www.pld.ttu.ee/applets/bs/bs_exercises.htm

JTAGer by University of Porto

<http://paginas.fe.up.pt/~jmf/hibu2k2/jtager.htm>

Scan Coach by Goepel Electronic

<http://www.goepel.com/en/jtag-boundary-scan/education/boundary-scan-coach.html>

Tallinn University of Technology
<http://www.gojtag.com/>