

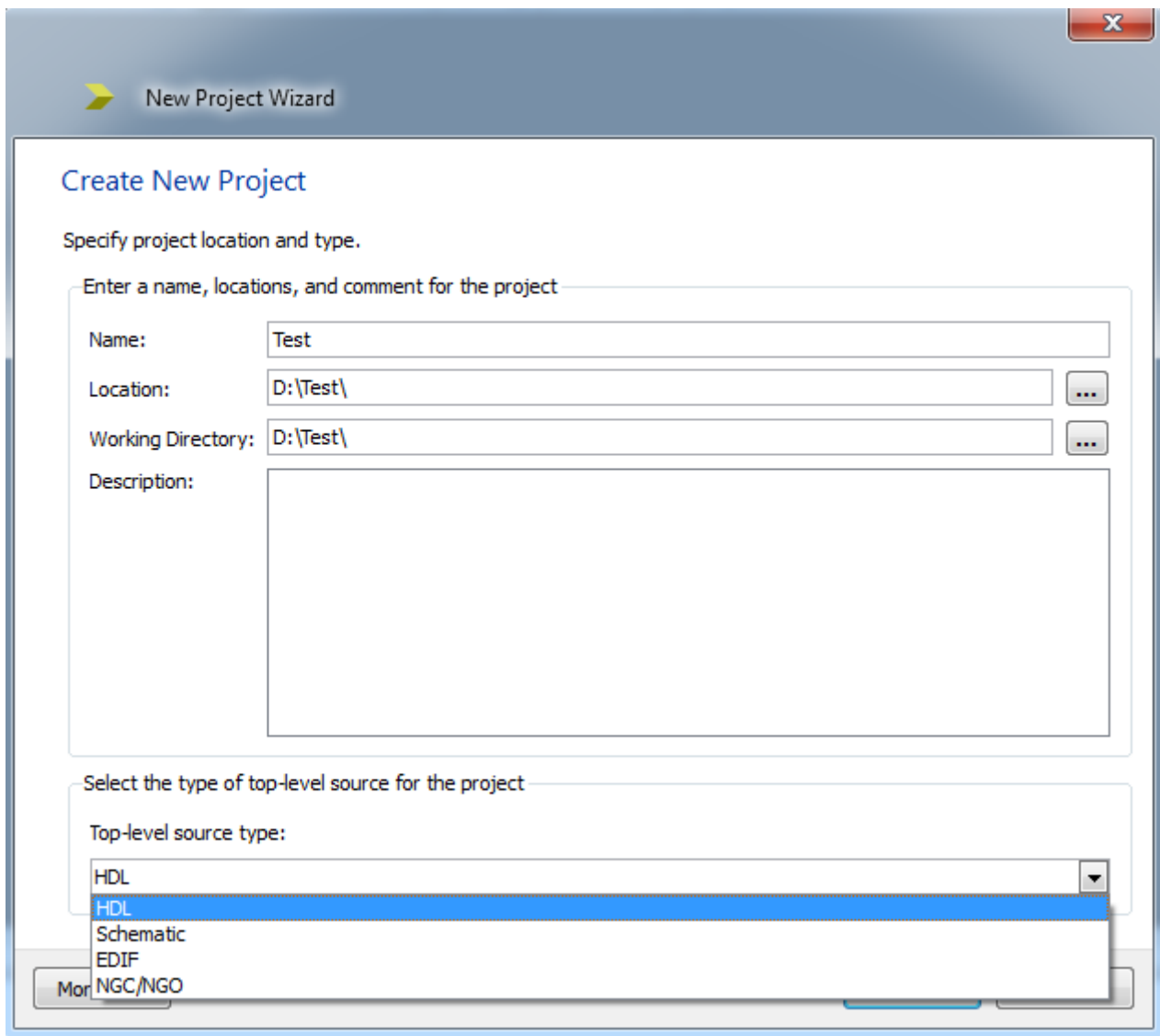
Verilog projekt készítése a Xilinx ISE alkalmazásban a Diligent Basys 2 FPGA lap számára

Az Xilinx ISE 14.7-es verziója az utolsó olyan verzió, amely még támogatja a Spartan 3 és Spartan 6 FPGA chippeket. Ez az alkalmazás ingyenes és a következő helyről tölthető le:

<https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html>

A folytatásban az új projektus elkészítésnek lépései vannak leírva.

File -> New project



1. ábra – A projekt nevének és könyvtárának kiválasztása

A „Name” mezőbe a projekt nevét kell megadni. A „Location” mezőbe célkönyvtárat kell megadni, ahová a projektet menteni szeretnénk. A „Top-level source type” legördülő listából a HDL-t kell választani, amennyiben Verilog vagy VHDL programnyelvet szanáljuk.

Ahhoz, hogy programozni lehessen az FPGA-t, ismernünk kell a pontos típus és tokozás jelölést. A Basys 2 lap esetében ez egy Spartan 3E családba tartozó, XC3S250E FPGA chip, CP132 tokozásban (2. ábra).

New Project Wizard

Project Settings

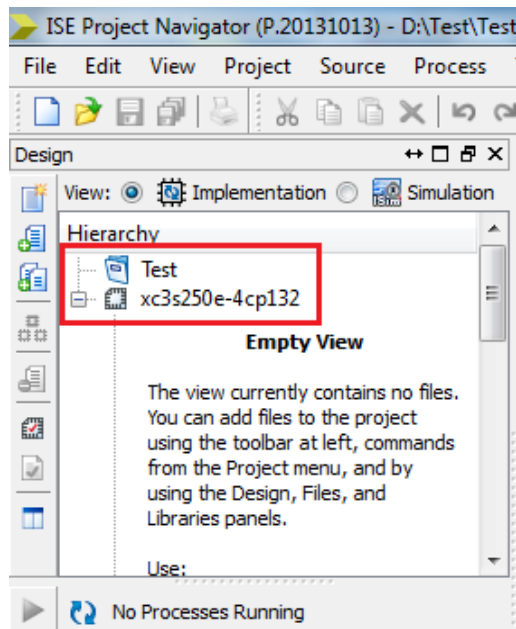
Specify device and project properties.
Select the device and design flow for the project

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3E
Device	XC3S250E
Package	CP132
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	☐
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	☐

More Info Next Cancel

2. ábra – Az FPGA chip beállításai

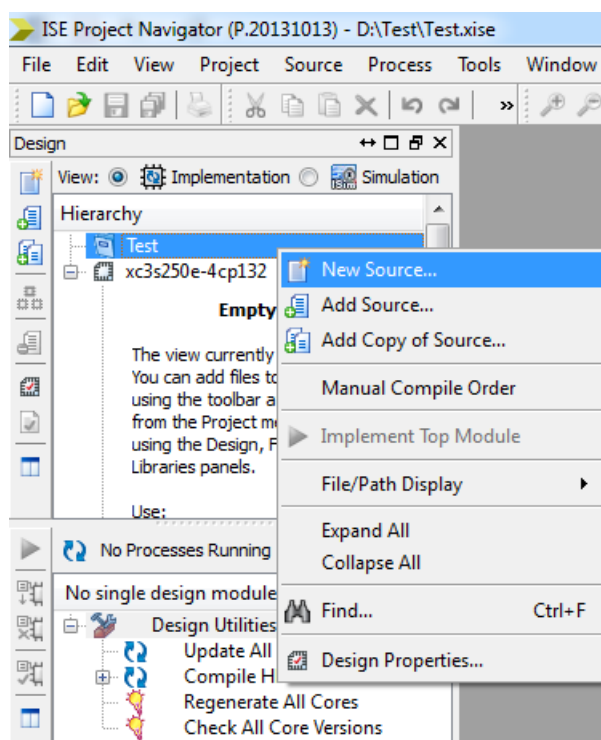
A paraméterek beállítása után a Next, majd Finish gombokra kell kattintani. Amennyiben a paraméterek helyesen lettek beírva, a projektablak bal felső sarkában meg fog jelenni a projekt neve és a használatos FPGA chip neve (3. ábra).



3. ábra – Xilinx ISE környezet a projekt beállításokkal

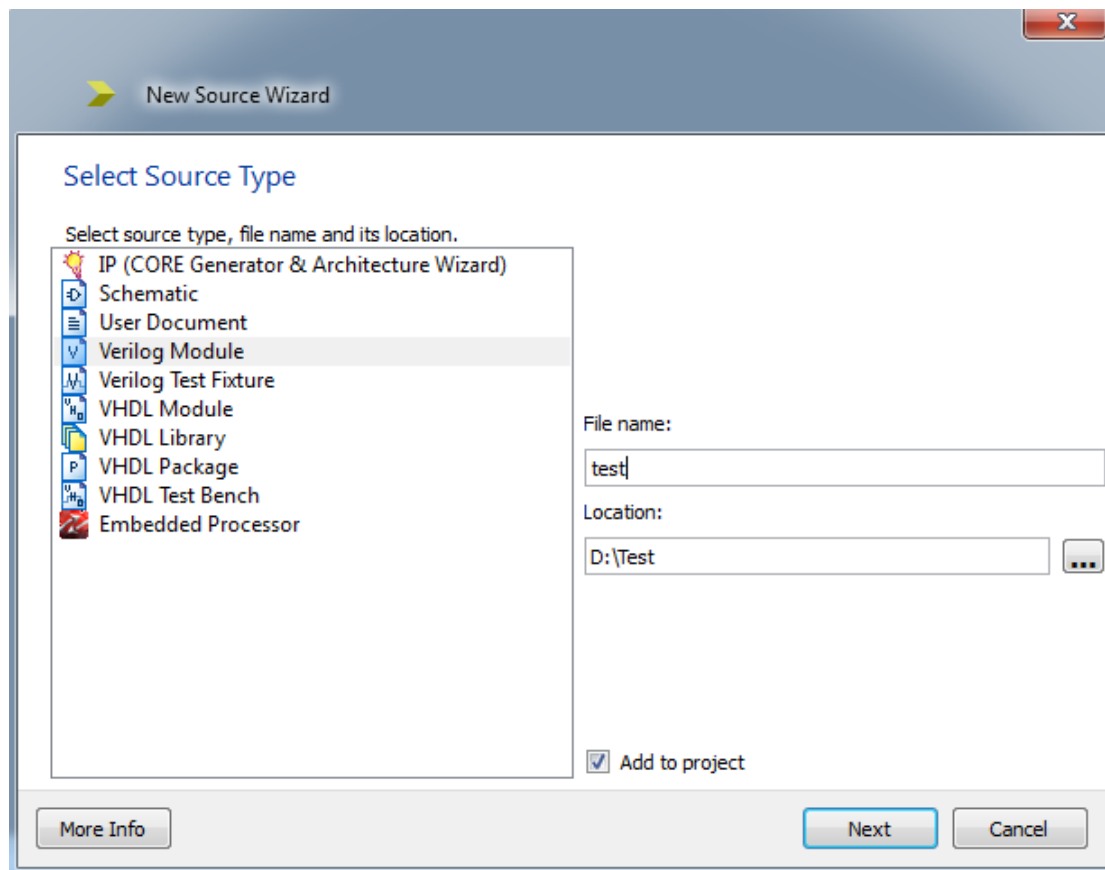
Verilog modul és ucf fájl hozzáadása a projekthez

Jobb egér kattintás a projekt nevén → New source (4. ábra)



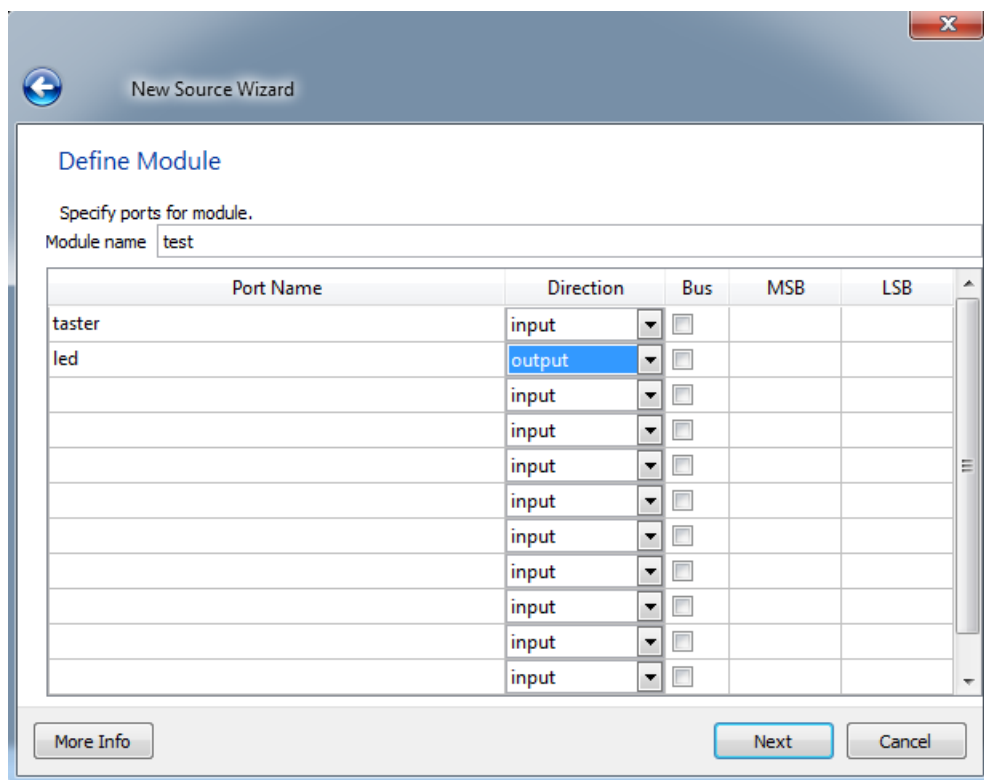
4. ábra

Az ablakban kiválasztani a Verilog modult és beírni a nevet, amely alatt a fájl el lesz mentve (5. ábra).



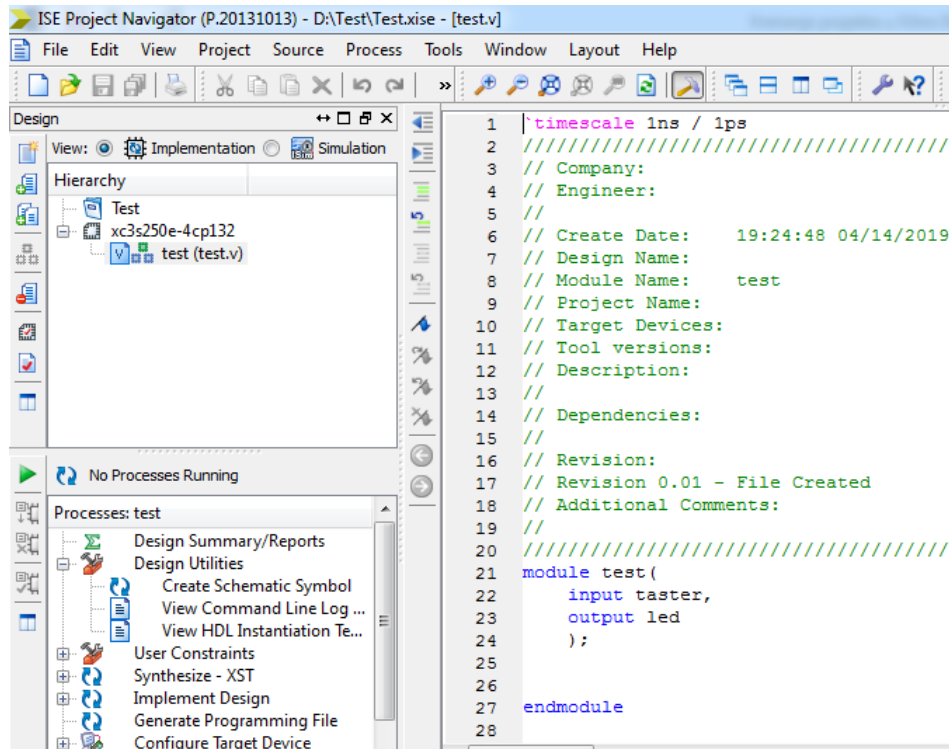
5. ábra

A Next gombra kattintva megjelenik egy ablak, amelyben be tudjuk állítani a modul nevét és a ki-, bemenő portokat. A 6. ábrán egy példa látható, amelyben a modul neve *test*, amelynek egy bemenő portja van *taster* névvel és egy kimenő port *led* névvel.



6. ábra

Az adatok bevitele után a Next. majd a Finish gombra kell kattintani. A 7. ábrán a generált Verilog modul látható.



7. ábra

A modult a **module** paranccsal tudjuk definiálni, amelyet nyitott zárójel követ, majd a ki- és bemenő portok felsorolása. A portok felsorolása után kell becsukni a zárójelet, mely után pontosvesszőt kell tenni. (Vegyük észre, hogy a portok felsorolásakor az utolsó port után, a zárójel előtt, tilos vesszőt tenni.) Ez után következik a Verilog modul tartalma, melyet az **endmodule** kulcsszó zár le.

Az FPGA chip programozásának bemutatása céljából ez esetben a Verilog modulba az **assign** utasítás lett beírva, amely a *taster* változót a *led* változóval köti össze (8. ábra). Miután az FPGA be lesz programozva, a Basys 2 lapon levő SW0 kapcsoló fogja vezérelni az LD0 LED diódát.

```
module test(  
    input wire taster,  
    output wire led  
);  
  
assign led = taster;  
  
endmodule
```

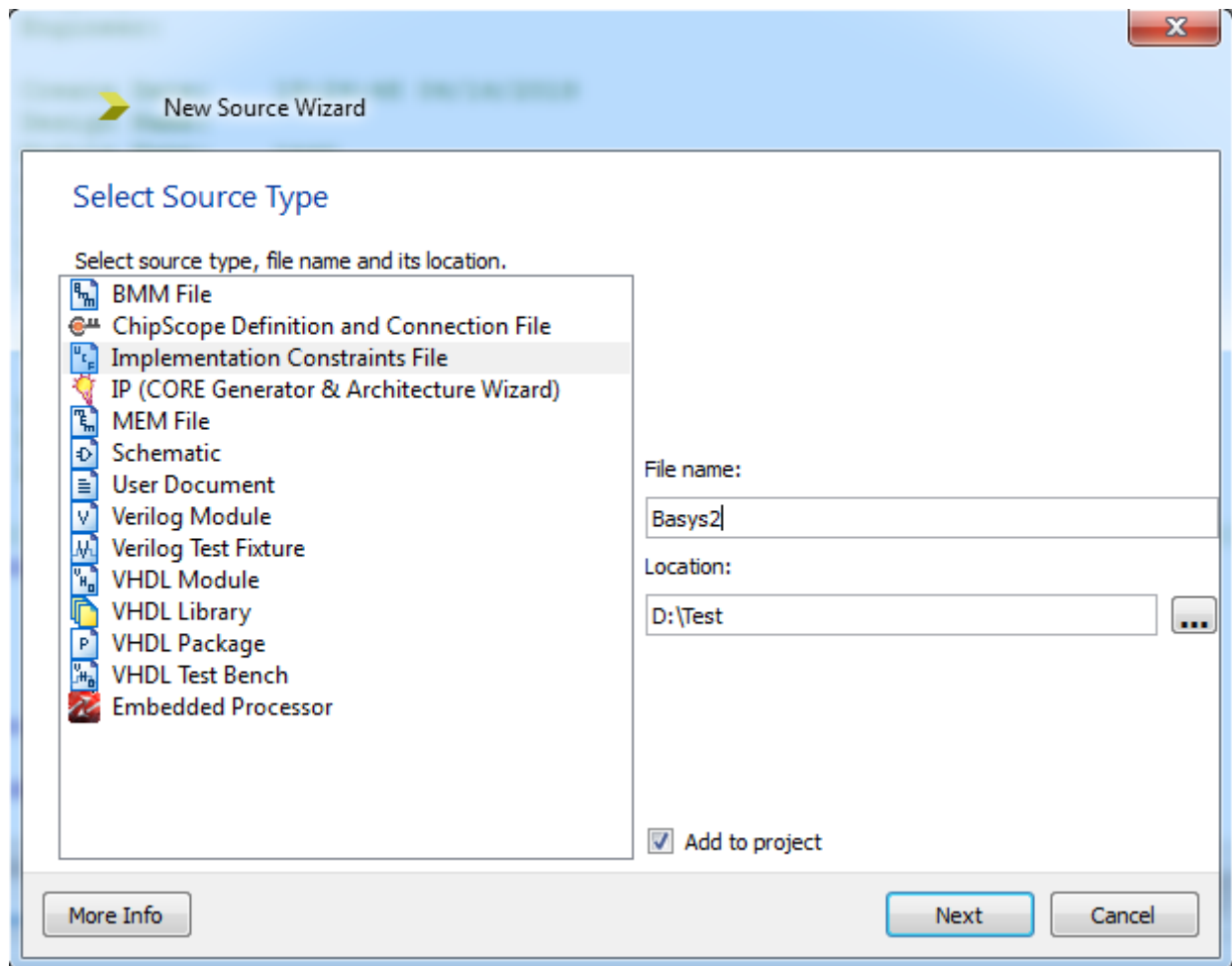
8 ábra

Vegyék észre, hogy csak a helyesen beírt utasítások fognak kék színre váltani.

Ahhoz, hogy a projektust le tudjuk fordítani, össze kell kötni a *taster* és *led* változókat a Basys 2 lapon található FPGA lábaival. Ezt az *ucf* fájlal tudjuk megtenni.

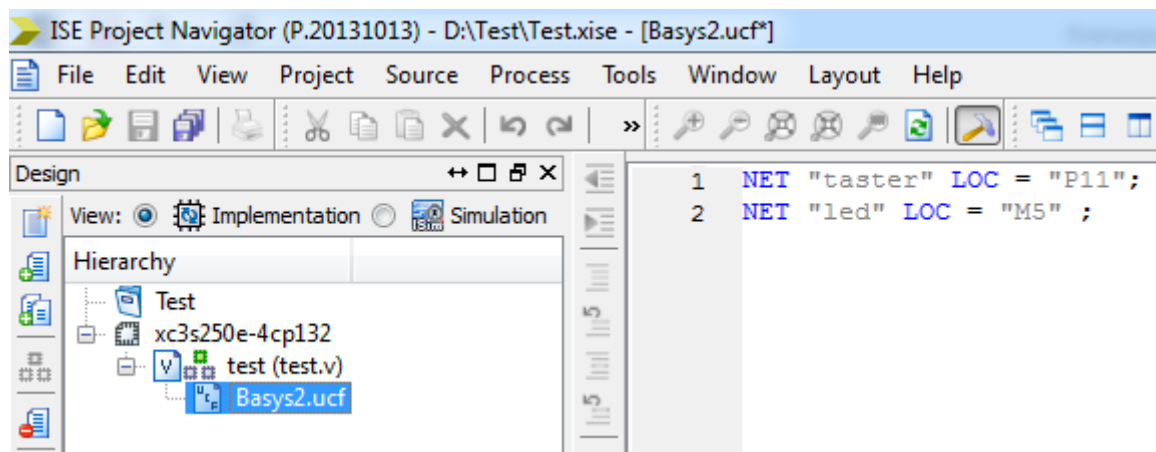
Jobb kattintás a projekt nevére → New Source (4. ábra)

Kiválasztani az *Implementation constraint file* fájlt és megadni az *ucf* fájl nevét. (9. ábra).



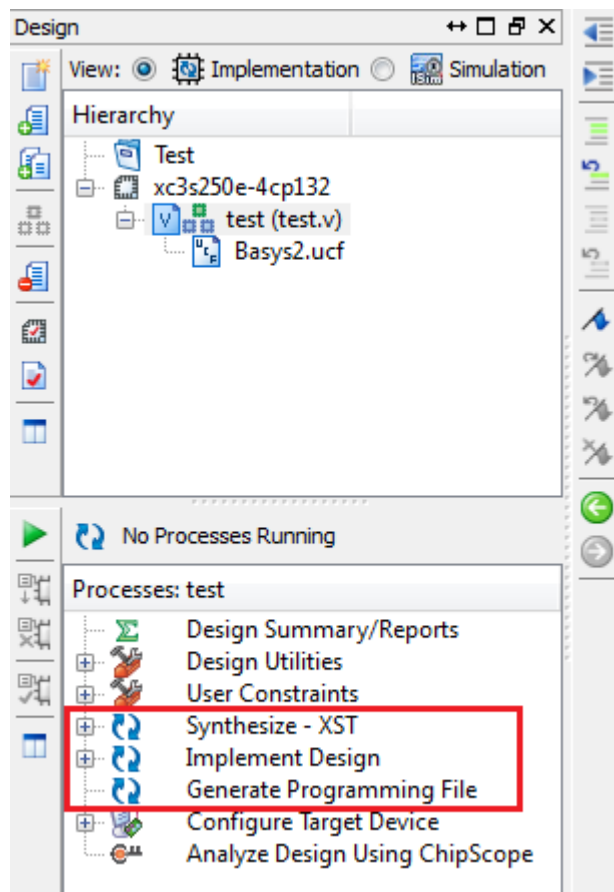
9. ábra

A Next, majd Finish gombra kattintani. A frissen megnyílt, üres ucf fájlba be kell írni a 10. ábrán látható utasításokat.



10. ábra

Kattintani a *test.v* fájlra (11. ábrán).



11. ábra

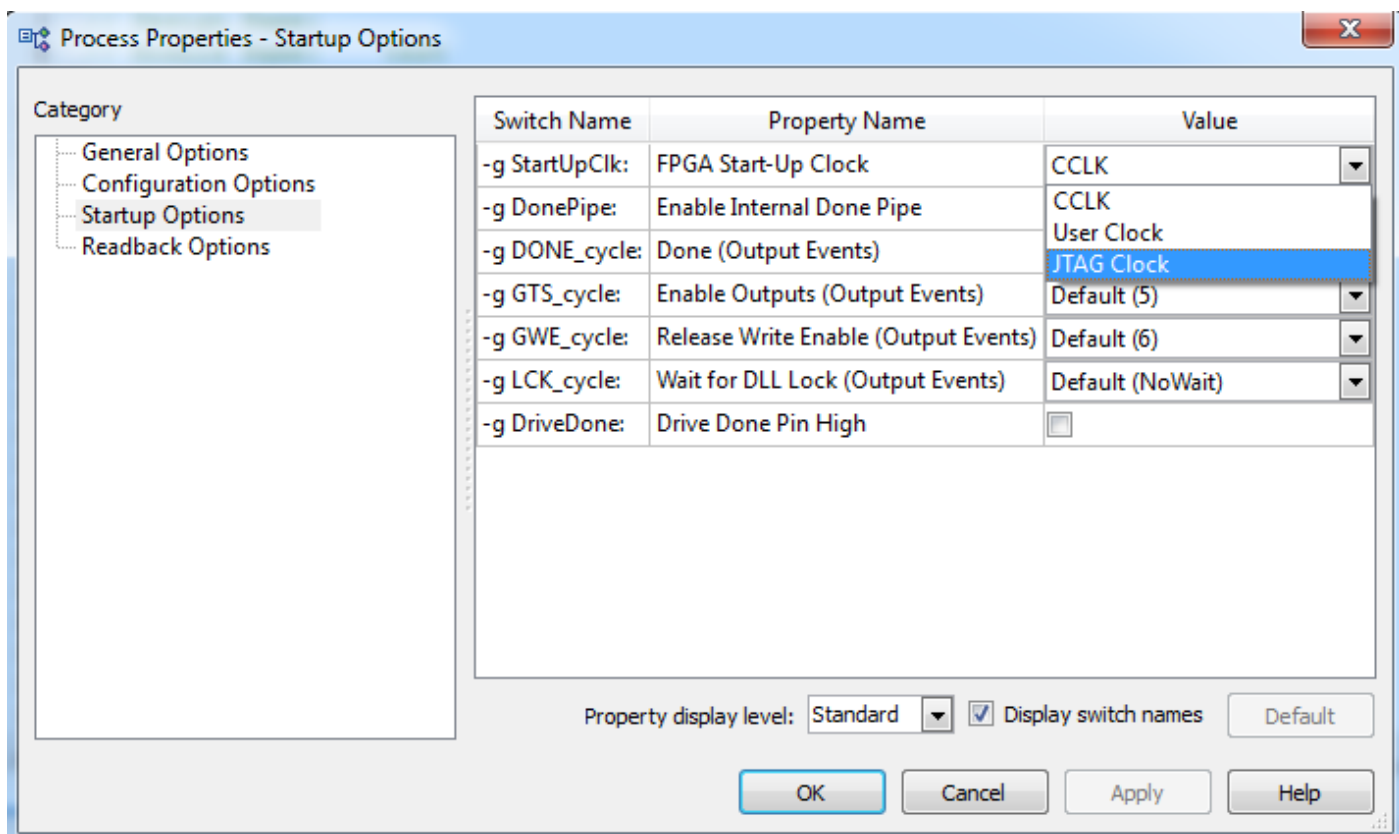
A 11. ábrán a bekeretezett három munkalépést (process) el kell végezni, ahhoz hogy programozni lehessen az FPGA chippet.

A *Proces Synthesize* lépés a kiválasztott FPGA chiphez illesztett netlistává alakítja át a Verilog fájlt.

A *Proces Implement Design* a kiválasztott FPGA chippel beolvasható fizika alakra hozza a netlistát.

A *Proces Generate Programing File* a fizikai alakot „.bit” alakban lementi. Ez az alak JTAG programozóval beprogramozható az FPGA chipbe. Ez a munkalépés a .bit fájlba beírja az FPGA chip programozása során használt órajel forrására vonatkozó adatokat is (12. ábra).

Jobb egér kattintás a *Generate Programming File* → *Process Properties*.

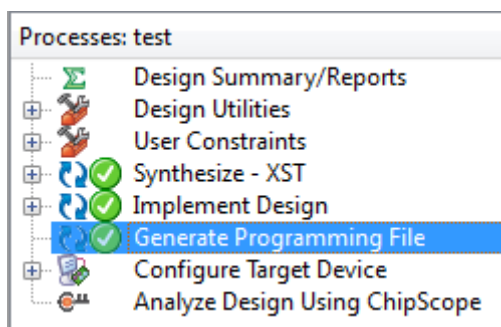


12. ábra

Kattintson a Start Options-ra az ablak bal oldalán, majd a jobb oldalon az első sorban levő legördülő listából kiválasztani az órajel forrását, a következők szerint:

- **JTAG Clock**, amennyiben az FPGA chippet JTAG programozóval programozzuk,
- **User Clock**, amennyiben az FPGA chippet külső oszcillátor segítségével programozzuk,
- **CCLK**, amennyiben az FPGA chippet SPI vonalon keresztül, külső memória segítségével programozzuk.

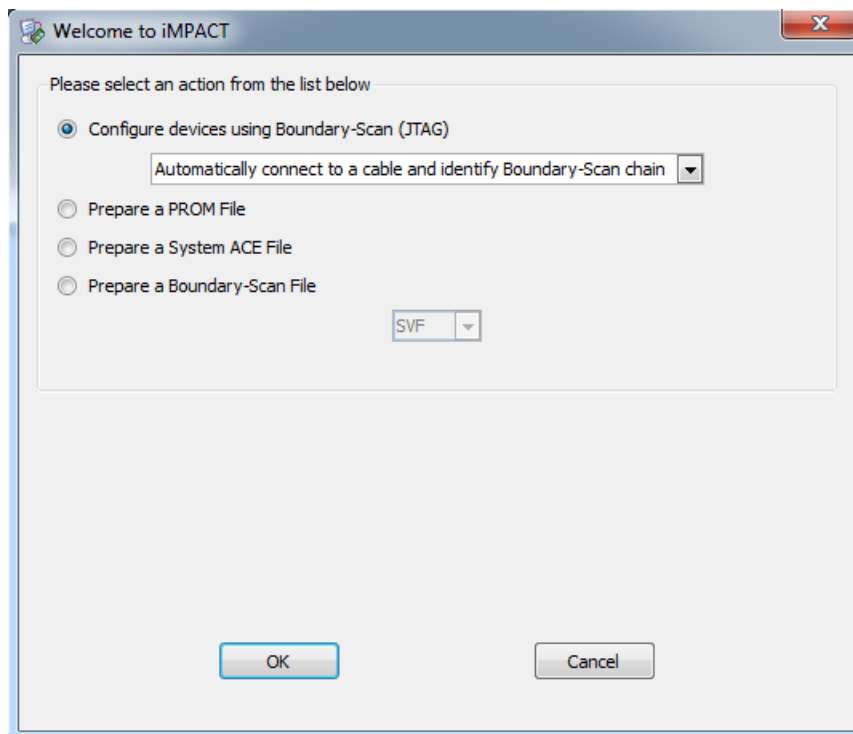
Az órajel forrás beállítása után kettőt kell kattintani a *Generate Programming File* tételre. Ekkor megkezdődik a bit fájlba történő fordítás (compile). Amennyiben a fordítás hiba nélkül, sikeresen lefut, minden tétele mellett egy zöld körben levő „pipa” fog megjelenni (13. ábra).



13. ábra

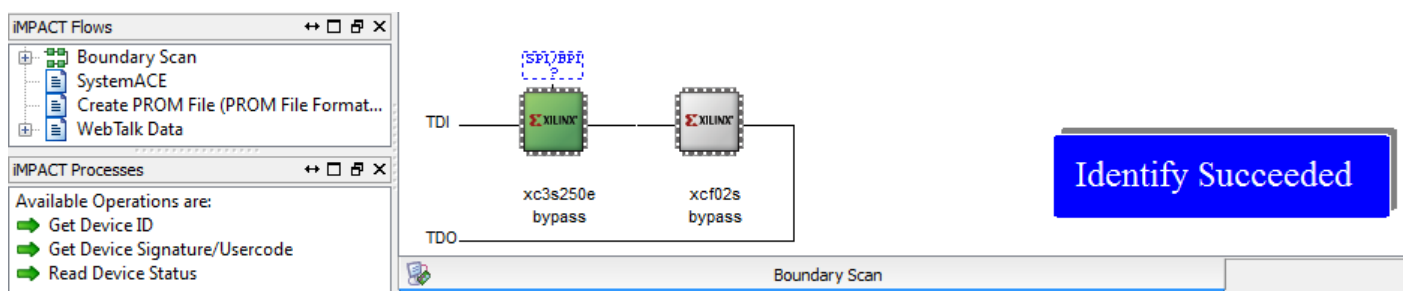
A Basys 2 lap programozása az Impact alkalmazás segítségével

A Basys 2 lap rendelkezik beépített USB JTAG programozóval. A lapot össze kell kötni a PC számítógéppel és el kell indítani az Impact alkalmazást. Új projekt létrehozásakor, az Impactban a JTAG programozó lehetőséget kell választani (14. ábra).



14. ábra

A lappal való sikeres csatlakozás után meg fog jelenni a felismert FPGA chippek és memóriák képe (15. ábra). Ebben a példában az XC3S250E az FPGA chip és az XCF02S a flash memória. Ez utóbbiba helyezhető el a lefordított .bin fájl, amellyel az FPGA chippet kell felprogramozni.

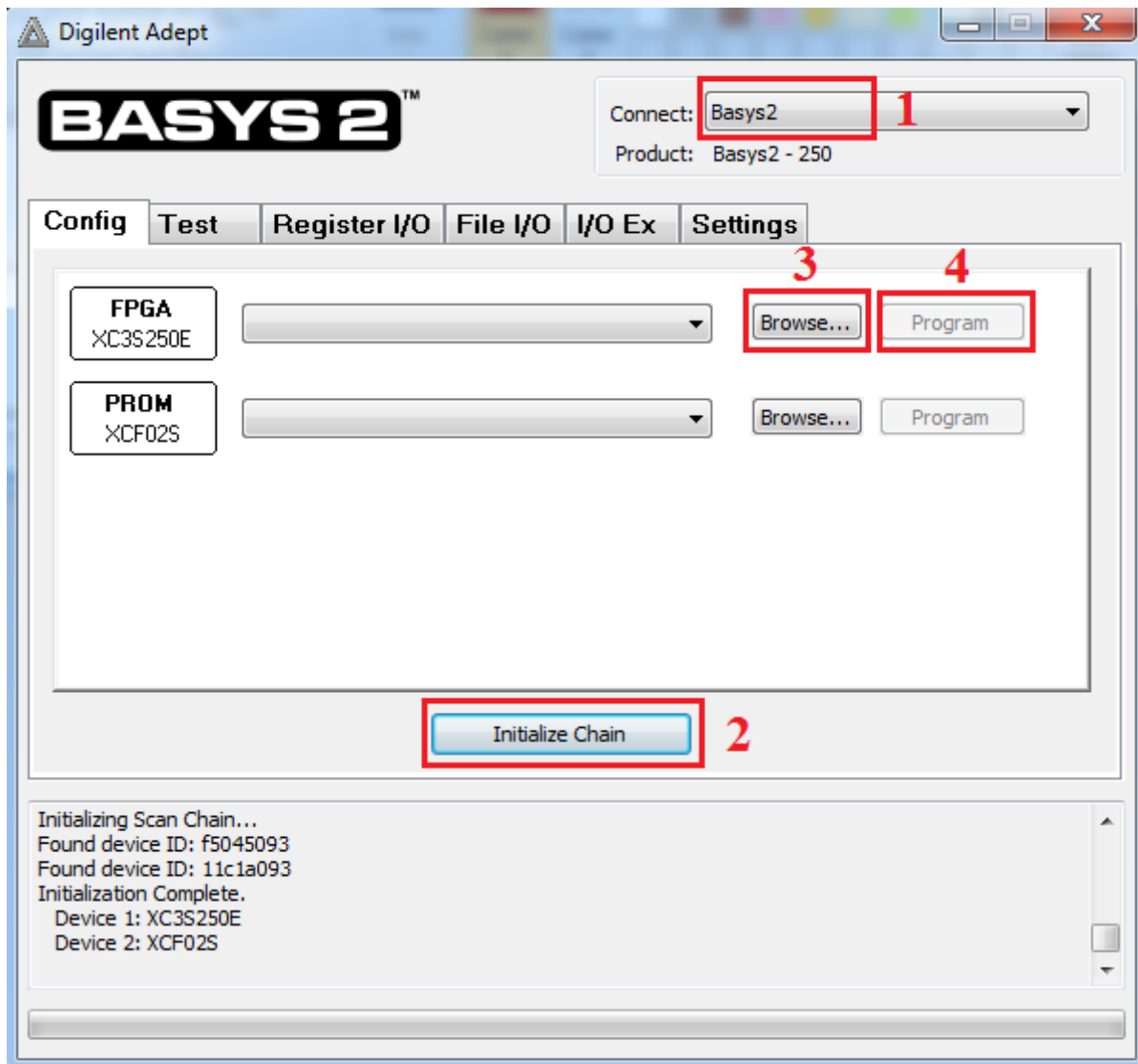


15. ábra

Kettős kattintás az FPGA ikonra, ami hatására megjelenik egy ablak, amelyben ki tudjuk választani a programozni kívánt „.bin” fájlt. Ez után jobb kattintás az FPGA chip ikonjára és kiválasztani a **Program** lehetőséget.

A Basys 2 lap programozása az Adept alkalmazás segítségével

A Basys 2 lap olyan USB JTAG programozóval rendelkezik, mely használatához a Diligent vállalat külön alkalmazást is kifejlesztett, Adept 2 néven (16. ábra). Az alkalmazás ingyenesen letölthető a következő címről: https://reference.digilentinc.com/reference/software/adept/start?_ga=2.56765037.632182999.1555276609-998963330.1555276609



16. ábra

Az FPGA chip programozásának lépései:

1. a legördülő listából kiválasztani a Basys 2 lapot,
2. az **Initialize Chain**-ra kattintani,
3. a **Browse** gombra kattintani és kiválasztani a kívánt .bit fájlt,
4. a **Program** gombra kattintani.