Verilog projekt készítése a Xilinx ISE alkalmazásban a Diligent Basys 2 FPGA lap számára

Az Xilinx ISE 14.7-es verziója az utolsó olyan verzió, amely még támogatja a Spartan 3 és Spartan 6 FPGA chippeket. Ez az alkalmazás ingyenes és a következő helyről tölthető le:

https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html A folytatásban az új projetkus elkészítésnek lépései vannak leírva.

File -> New project

🍃 New Project	Wizard					
Create New Pro	ject					
Specify project location	and type.					
-Enter a name, locati	ons, and comment for the project					
Name:	Test					
Location:	D:\Test\					
Working Directory:	D:\Test\					
Description:						
Select the type of top-level source for the project						
HDI	Top-level source type:					
HDL						
Schematic EDIF						
Mor NGC/NGO						

1. ábra – A projekt nevének és könyvtárának kiválasztása

A "Name" mezőbe a projekt nevét kell megadni. A "Location" mezőbe célkönyvtárat kell megadni, ahová a projektet menteni szeretnénk. A "Top-level source type" legördülő listából a HDL-t kell választani, amennyiben Verilog vagy VHDL programnyelvet szanáljuk.

Ahhoz, hogy programozni lehessen az FPGA-t, ismernünk kell a pontos típus és tokozás jelölést. A Basys 2 lap esetében ez egy Spartan 3E családba tartozó, XC3S250E FPGA chip, CP132 tokozásban (2. ábra).

New Project Wizard		
Project Settings		
pecify device and project properties. elect the device and design flow for the pr	oject	
Property Name	Value	
Evaluation Development Board	None Specified	
Product Category	All	•
Family	Spartan3E	
Device	XC3S250E	•
Package	CP132	•
Speed	-4	•
Top-Level Source Type	HDL	_
Synthesis Tool	XST (VHDL/Verilog)	•
Simulator	ISim (VHDL/Verilog)	•
Preferred Language	Verilog	•
Property Specification in Project File	Store all values	•
Manual Compile Order		
VHDL Source Analysis Standard	VHDL-93	•
Enable Message Filtering		

2. ábra – Az FPGA chip beállításai

A paraméterek beállítása után a Next, majd Finish gombokra kell kattintani. Amennyiben a paraméterek helyesen lettek beírva, a projektablak bal felső sarkában meg fog jelenni a projekt neve és a használatos FPGA chip neve (3. ábra).



3. ábra – Xilinx ISE környezet a projekt beállításokkal

Verilog modul és ucf fájl hozzáadása a projekthez

Jobb egér kattintás a projekt nevén -> New source (4. ábra)



4. ábra

Az ablakban kiválasztani a Verilog modult és beírni a nevet, amely alatt a fájl el lesz mentve (5. ábra).

New Source Wizard	
Select Source Type Select source type, file name and its location. P (CORE Generator & Architecture Wizard) Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Package VHDL Test Bench Embedded Processor	File name: test Location: D:\Test
More Info	Next Cancel

5. ábra

A Next gombra kattintva megjelenik egy ablak, amelyben be tudjuk állítani a modul nevét és a ki-, bemenő portokat. A 6. ábrán egy példa látható, amelyben a modul neve *test*, amelynek egy bemenő portja van *taster* névvel és egy kimenő port *led* névvel.

O New Source Wizard						x
Define Module Specify ports for module. Module name test						
Port Name	Direction	n	Bus	MSB	LSB	-
taster	input	-				
led	output	-				
	input	•				
	input	•				
	input	•				Ξ
	input	•				
	input	•				
	input	•				
	input	•				
	input	•				
	input	•				-
More Info				Next	Cancel	

Az adatok bevitele után a Next. majd a Finish gombra kell kattintani. A 7. ábrán a generált Verilog modul látható.

JSE Project Navigator (P.20131013) - D:\Test\Test.xise - [test.v]								
📄 File Edit View	Project Source	Process	Tools	Wind	ow	Layout	Help	
🗋 ờ 🗟 🎒 🖉	XOOX	5 3	»	æ je	8	B /	2 🔊	5 B B 5 B 🖋 🤌 📢
Design	++		€	1	`ti	mescale	1ns / 1	lps
View: O the Imple	ementation 🔘 🔡 Sir	nulation		3	11	Company	:	,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,
📾 🕅 Test				4 /	: 	Enginee	r:	
xc3s250e-	4cp132 t (test.v)		=	6	11	Create	Date:	19:24:48 04/14/2019
	((22.11))		2	8	11	Module	Name:	test
		-	<u>^</u>	9 / 10 /	 '	Project Target	<pre>> Name: Devices:</pre>	:
			%	11	11	Tool ve	rsions:	
			%	12 /	11	Descrip	cion:	
			*	14 15	: 	Depende	ncies:	
No Processes	Running		G	16	11	Revisio	n:	File Greeted
				18		Additio	n 0.01 - nal Com	nents:
Design	Summary/Reports			19	//	,,,,,,,		,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,,
🖳 🖨 🎾 Design	1 Utilities eate Schematic Symb			21 1	mod	ule tes	st (
Vie	ew Command Line Lo	og		22		input output	taster,	
User C	w HDL Instantiation	Te		24);		
Synthe	esize - XST			25 26				
Impler	ment Design ate Programming File			27	end	module		
🕀 🐞 Config	jure Target Device			28				



A modult a **module** paranccsal tudjuk definiálni, amelyet nyitott zárójel követ, majd a ki- és bemenő portok felsorolása. A portok felsorolása után kell becsukni a zárójelet, mely után pontosvesszőt kell tenni. (Vegyük észre, hogy a portok felsorolásakor az utolsó port után, a zárójel előtt, tilos vesszőt tenni.) Ez után következik a Verilog modul tartalma, melyet az **endmodule** kulcsszó zár le.

Az FPGA chip programozásának bemutatása céljából ez esetben a Verilog modulba az **assign** utasítás lett beírva, amely a *taster* változót a *led* változóval köti össze (8. ábra). Miután az FPGA be lesz programozva, a Basys 2 lapon levő SW0 kapcsoló fogja vezérelni az LD0 LED diódát.

```
module test(
    input wire taster,
    output wire led
    );
assign led = taster;
endmodule
```

8 ábra

Vegyék észre, hogy csak a helyesen beírt utasítások fognak kék színre váltani.

Ahhoz, hogy a projektust le tudjuk fordítani, össze kell kötni a *taster* és *led* változókat a Basys 2 lapon található FPGA lábaival. Ezt az *ucf* fájlal tudjuk megtenni.

Jobb kattintás a projekt nevén -> New Source (4. ábra)

Kiválasztani az Implementation constrait file fájlt és megadni az ucf fájl nevét. (9. ábra).

 ChipScope Definition and Connection File Implementation Constraints File IP (CORE Generator & Architecture Wizard) MEM File Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Package VHDL Test Bench Embedded Processor 	File name: Basys2 Location: D:\Test
--	--

9. ábra

A Next, majd Finish gombra kattintani. A frissen megnyílt, üres ucf fájlba be kell írni a 10. ábrán látható utasításokat.



10. ábra

Kattintani a *test.v* fájlra (11. ábán).

Desig	jn ↔□₽×	48
*	View: 💿 🔯 Implementation 🔘 🧱 Simulation	ÞE
æ	Hierarchy	-
n.	🧃 Test	5
<u></u>	🖮 🛄 xc3s250e-4cp132	=
00	🖻 💟 🚆 test (test.v)	Ξ
E	🔤 🐂 Basys2.ucf	<u>רא</u>
<u> </u>		_
		. ^
		×
		24
		36
	No. No. Decomo a Disercitor	\odot
	C2 No Processes Running	\odot
₽Ľ	Processes: test	; ;
91	🗵 Design Summary/Reports	
	🗄 🎾 Design Utilities	
1	🕀 🎾 User Constraints	
	🕀 💽 Synthesize - XST	
	Implement Design	
	Generate Programming File	
	Configure larget Device	
	Analyze besign using Chipscope	

11. ábra

A 11. ábrán a bekeretezett három munkalépést (process) el kell végezni, ahhoz hogy programozni lehessen az FPGA chippet.

A Proces Synthesize lépés a kiválasztott FPGA chipphez illesztett netlistává alakítja át a Verilog fájlt.

A Proces Implement Design a kiválasztott FPGA chippel beolvasható fizika alakra hozza a netlistát.

A *Proces Generate Programing File* a fizikai alakot "bit" alakban lementi. Ez az alak JTAG programozóval beprogramozható az FPGA chipbe. Ez a munkalépés a .bit fájlba beírja az FPGA chip programozása során használt órajel forrására vonatkozó adatokat is (12. ábra).

Jobb egér kattintás a Generate Programming File -> Process Properties.

Process Properties - Startup Options				٢
Category	Switch Name	Property Name	Value	
General Options	-g StartUpClk:	FPGA Start-Up Clock	CCLK	-
Startup Options	-g DonePipe:	Enable Internal Done Pipe	CCLK User Clock	
Readback Options	-g DONE_cycle:	Done (Output Events)	JTAG Clock	
	-g GTS_cycle:	Enable Outputs (Output Events)	Default (5)	-
	-g GWE_cycle:	Release Write Enable (Output Events)	Default (6)	•
	-g LCK_cycle:	Wait for DLL Lock (Output Events)	Default (NoWait)	•
	-g DriveDone:	Drive Done Pin High		
	Proper	ty display level: Standard 💌 📝 Disp	lay switch names Default	
		OK Cancel	Apply Help	

12. ábra

Kattintson a Start Options-ra az ablak bal oldalán, majd a jobb oldalon az első sorban levő legördülő listából kiválasztani az órajel forrását, a következők szerint:

- JTAG Clock, amennyiben az FPGA chippet JTAG programozóval programozzuk,
- User Clock, amennyiben az FPGA chippet külső oszcillátor segítségével programozzuk,
- CCLK, amennyiben az FPGA chippet SPI vonalon keresztül, külső memória segítségével programozzuk.

Az órajel forrás beállítása után kettőt kell kattintani a *Generate Programming File* tételre. Ekkor megkezdődik a bit fájlba történő fordítás (compille). Amennyiben a fordítás hiba nélkül, sikeresen lefut, minden tétel mellett egy zöld körben levő "pipa" fog megjelenni (13. ábra).



13. ábra

A Basys 2 lap programozása az Impact alkalmazás segítségével

A Basys 2 lap rendelkezik beépített USB JTAG programozóval. A lapot össze kell kötni a PC számítógéppel és el kell indítani az Impact alkalmazást. Új projekt létrehozásakor, az Impactban a JTAG programozó lehetőséget kell választani (14. ábra).

😵 Welcome to iMPACT	
Please select an action from the list below	
 Configure devices using Boundary-Scan (JTAG) 	
Automatically connect to a cable and identify Boundary-Scan chain 💌	
Prepare a PROM File	
Prepare a System ACE File	
Prepare a Boundary-Scan File	
SVF 👻	
OK Cancel	

14. ábra

A lappal való sikeres csatlakozás után meg fog jelenni a felismert FPGA chippek és memóriák képe (15. ábra). Ebben a példában az XC3S250E az FPGA chip és az XCF02S a flash memória. Ez utóbbiba helyezhető el a lefordított .bin fájl, amellyel az FPGA chippet kell felprogramozni.



15. ábra

Kettős kattintás az FPGA ikonra, ami hatására megjelenik egy ablak, amelyben ki tudjuk választani a programozni kívánt ".bin" fájlt. Ez után jobb kattintás az FPGA chip ikonjára és kiválasztani a **Program** lehetőséget.

A Basys 2 lap programozása az Adept alkalmazás segítségével

A Basys 2 lap olyan USB JTAG programozóval rendelkezik, mely használatához a Diligent vállalat külön alkalmazást is kifejlesztett, Adept 2 néven (16. ábra). Az alkalmazás ingyenesen letölthető a következő címről: https://reference.digilentinc.com/reference/software/adept/start?_ga=2.56765037.632182999.1555276609-998963330.1555276609

🛆 Digilent Adept	
BASYS 2	Connect: Basys2 Product: Basys2 - 250
Config Test Register I/O File I/O	I/O Ex Settings
FPGA XC3S250E	Browse Program
PROM XCF02S	Browse Program
Initialize	Chain 2
Initializing Scan Chain Found device ID: f5045093	*
Initialization Complete. Device 1: XC3S250E	
Device 2. ACT 025	•

16. ábra

Az FPGA chip programozásának lépései:

- 1. a legördülő listából kiválasztani a Basys 2 lapot,
- 2. az Initialize Chain-ra kattintani,
- 3. a Browse gombra kattintani és kiválasztani a kívánt .bit fájlt,
- 4. a **Program** gombra kattintani.