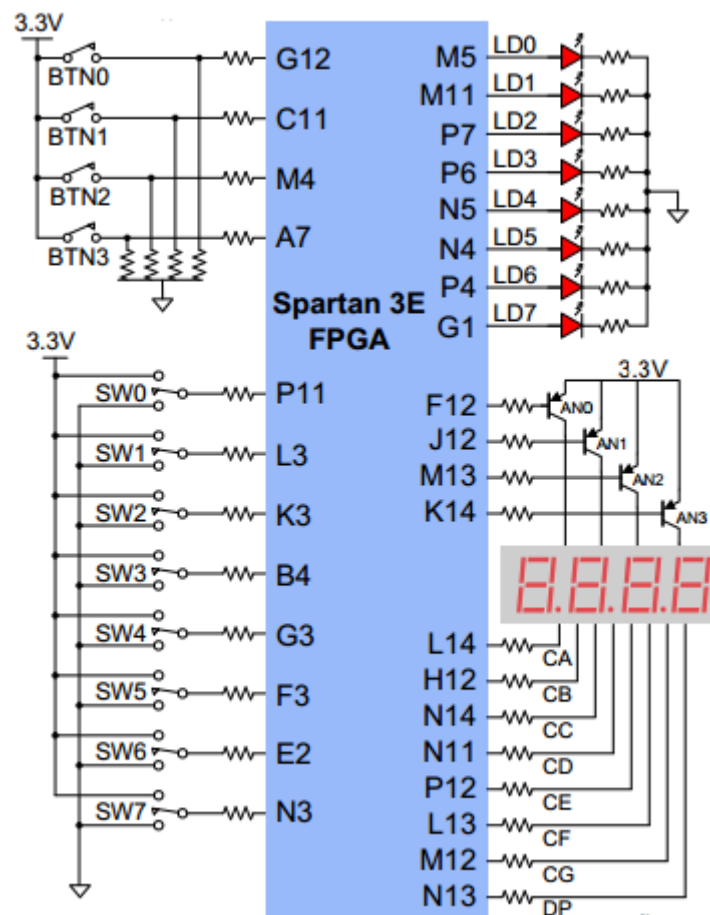


Opis Digilent Basys 2 FPGA ploče



Slika 1 Prikaz štampane ploče



Slika 2 Šematski prikaz veza između FPGA pinova i komponenti

FPGA program se povezuje sa FPGA pinovima preko ucf fajla. Ucf fajl opisuje vezu između logičkog imena i fizičkog pina. U nastavku je dat sadržaj ucf fajla koji važi za sliku 2. Za linijski komentar koristi se simbol # nakon kojeg se piše tekst komentara. Da bi se simbolička promenljiva povezala sa fizičkim pinom na FPGA čipu potrebno je upisati ključnu reč NET nakon koje ide naziv promenljive, a zatim ključnu reč LOC nakon čega ide oznaka pina na FPGA čipu.

Signali sa 7 segmentnog displeja

NET "seg<0>" LOC = "L14";

NET "seg<1>" LOC = "H12";

NET "seg<2>" LOC = "N14";

NET "seg<3>" LOC = "N11";

NET "seg<4>" LOC = "P12";

NET "seg<5>" LOC = "L13";

NET "seg<6>" LOC = "M12";

NET "dp" LOC = "N13";

Signali sa LED dioda

NET "Led<7>" LOC = "G1" ;

NET "Led<6>" LOC = "P4" ;

NET "Led<5>" LOC = "N4" ;

NET "Led<4>" LOC = "N5" ;

NET "Led<3>" LOC = "P6" ;

NET "Led<2>" LOC = "P7" ;

NET "Led<1>" LOC = "M11" ;

NET "Led<0>" LOC = "M5" ;

Signali sa prekidača

NET "sw<7>" LOC = "N3";

NET "sw<6>" LOC = "E2";

NET "sw<5>" LOC = "F3";

NET "sw<4>" LOC = "G3";

NET "sw<3>" LOC = "B4";

NET "sw<2>" LOC = "K3";

NET "sw<1>" LOC = "L3";

NET "sw<0>" LOC = "P11";

Signali sa tastera

NET "btn<3>" LOC = "A7";

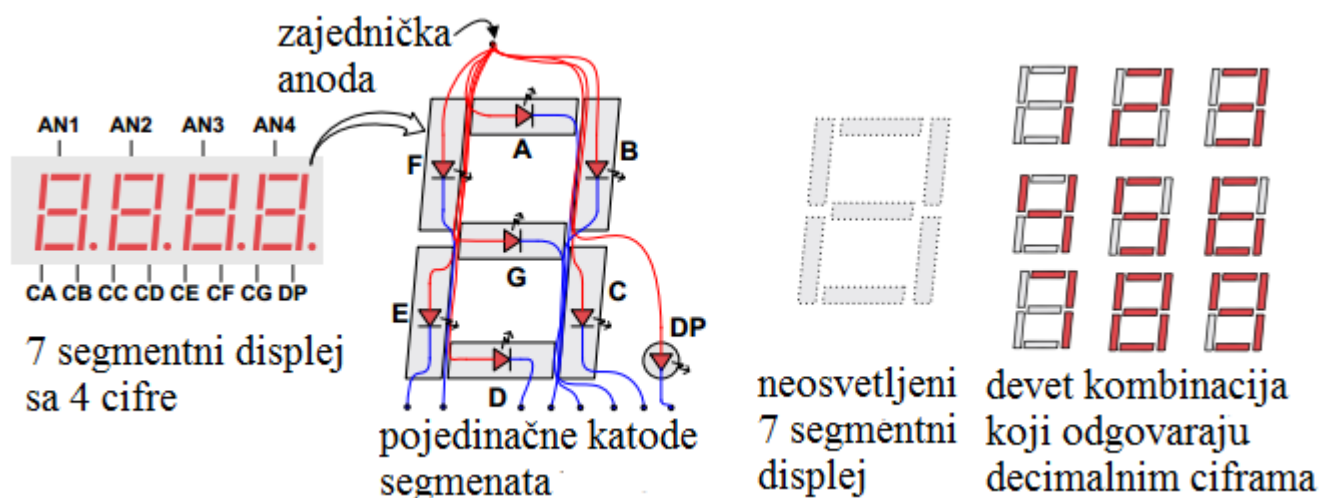
NET "btn<2>" LOC = "M4";

NET "btn<1>" LOC = "C11";

NET "btn<0>" LOC = "G12";

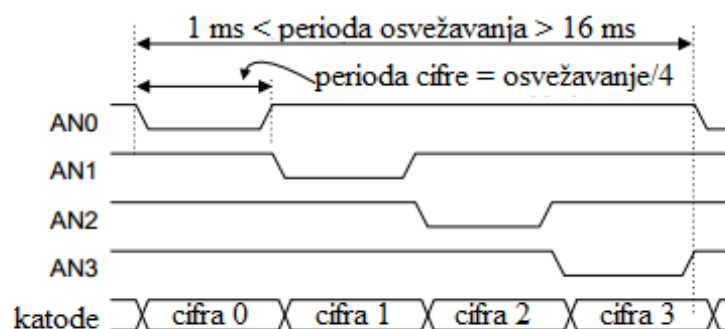
7 segmentni displej

Na slici 3 je prikazano povezivanje elemenata 7 segmentnih cifara na ploči Basys 2.



Slika 3 Opis 7 segmentnog displeja sa 4 cifre na Basys 2 ploči

Svaka, od četiri cifre, se sastoji od 7 segmenata raspoređenih u oblik cifre 8. Svaki segment može biti nezavisno osvetljen što daje 128 mogućih kombinacija, od kojih se najčešće koriste 0,1,2,3,4,5,6,7,8,9. Anode svih 7 segmenata su povezane u jedan izvod, a katode svakog segmenta su posebno izvedene. Zajednička anoda 7 segmentne cifre se koristi kao signal za uključenje cifre. Katode segmenata iz sve četiri cifre su povezane u celinu. To znači da su katodni segmenti A od sve četiri cifre povezana na jedan pin od FPGA (L14) i taj signal je obeležen sa CA. Logička „0“ ili „1“ poslata na FPGA pin L14 će se istovremeno preneti na segment A na svakoj od četiri cifre. Ako želimo adresirati svaku cifru pojedinačno moramo primeniti vremenski multipleks na signale zajedničkih anoda AN0, AN1, AN2, AN3 prema slici 4:



Slika 4 Vremenski multipleks za pojedinačno ispisivanje cifara