

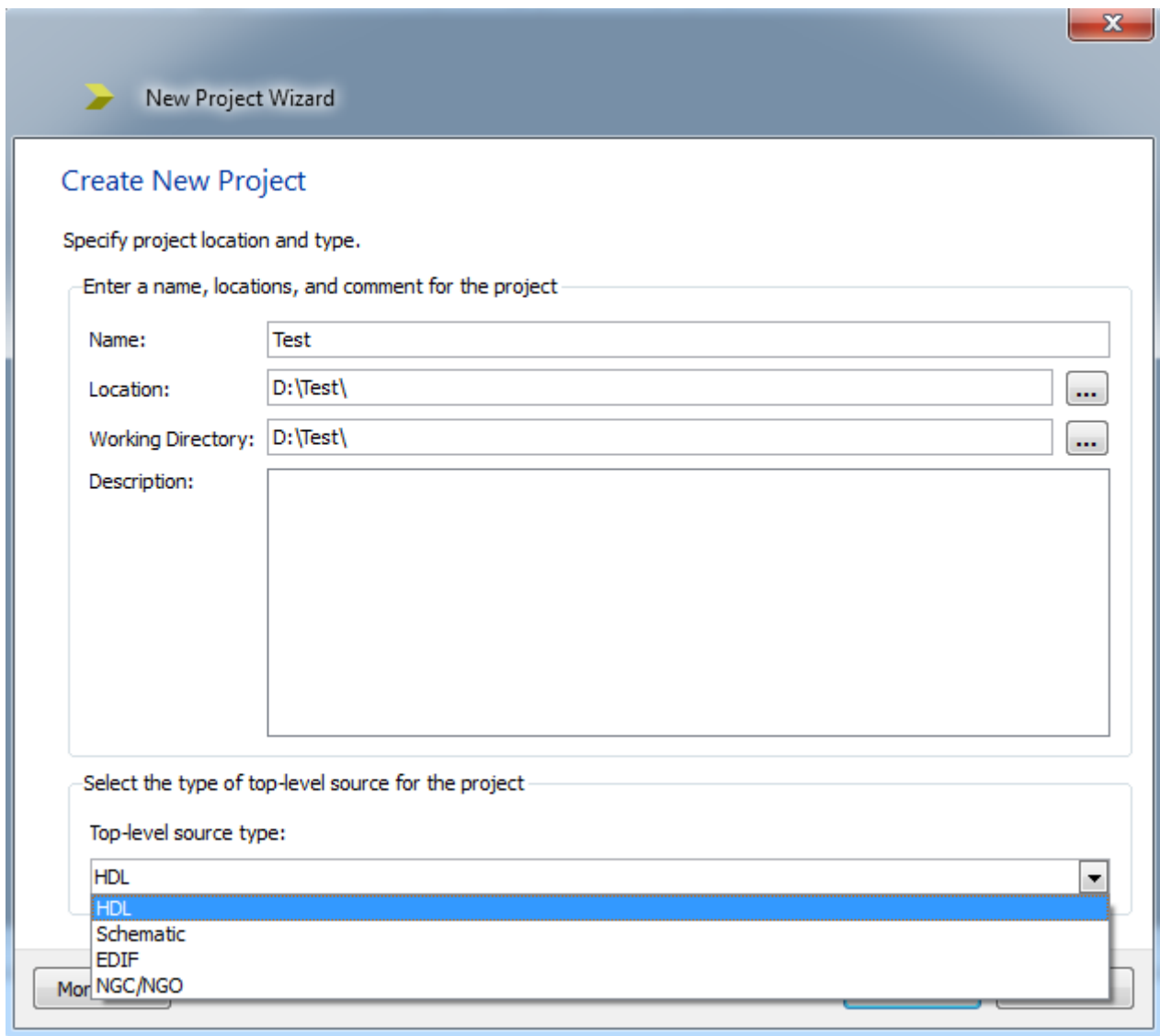
Kreiranje Verilog projekta u Xilinx ISE za Digilent Basys 2 FPGA ploču

Xilinx ISE 14.7 je poslednja verzija softvera koja podražava Spartan 3 i Spartan 6 čipove i može se besplatno preuzeti sa linka:

<https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html>

U nastavku su opisani postupci kreiranja novog projekta.

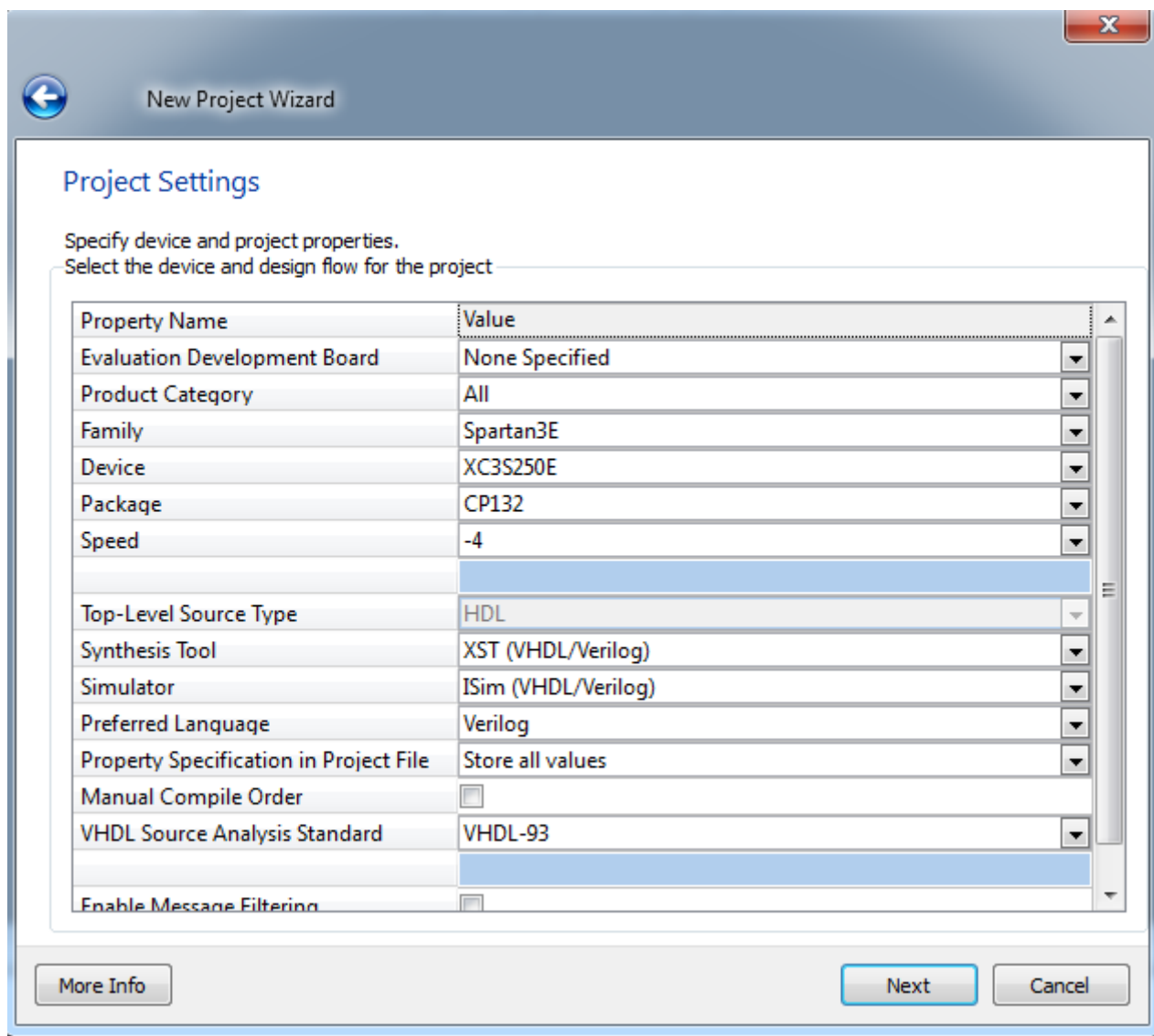
File -> New project



Slika 1 Prozor za izbor naziva i direktorijuma projekta

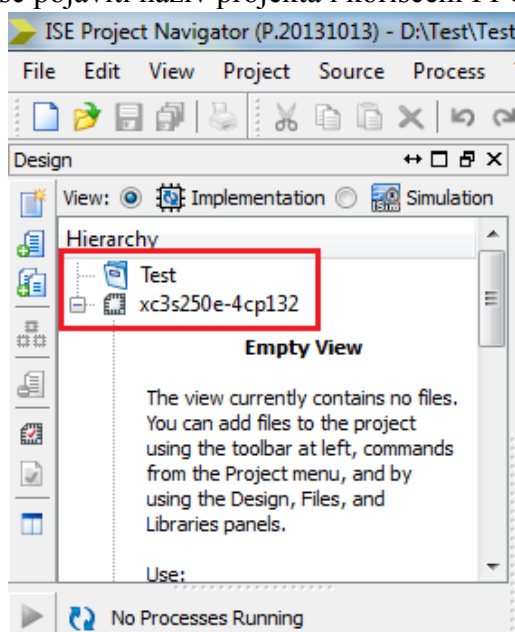
U polju Name zadaje se ime projekta. U polju Location navodi se direktorijum u kojem će projekat biti sačuvan. U polju Top-level source type biramo HDL ako koristimo programski jezik Verilog ili VHDL.

Da bi uopšte bilo moguće programirati FPGA moramo znati tačan tip i kućište čipa. U slučaju Basys 2 ploče radi se o Spartan 3E familiji, XC3S250E FPGA čipu u CP132 kućištu (slika 2).



Slika 2 Postavke FPGA čipa

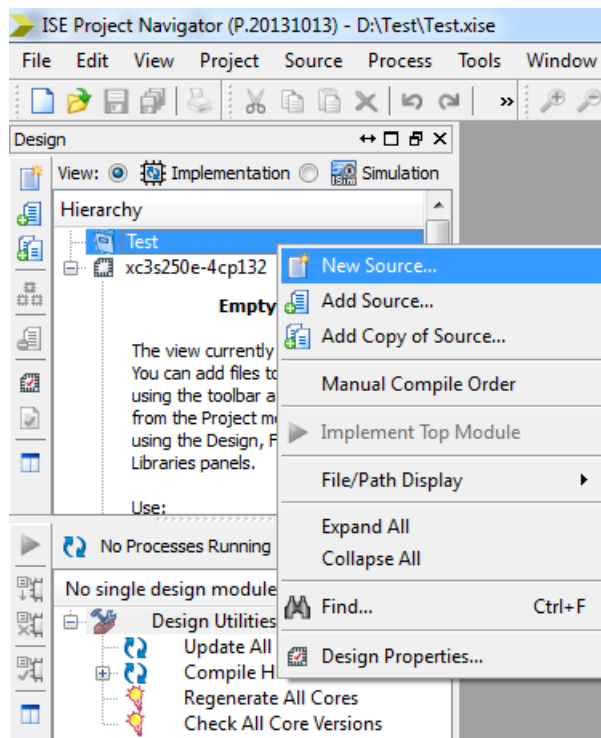
Nakon podešavanja parametara, kliknuti na dugme Next i zatim na dugme Finish. Ukoliko su parametri tačno unešeni u gornjem levom uglu će se pojaviti naziv projekta i korišćeni FPGA čip kao na slici 3.



Slika 3 Xilinx ISE sa podešenim parametrima projekta

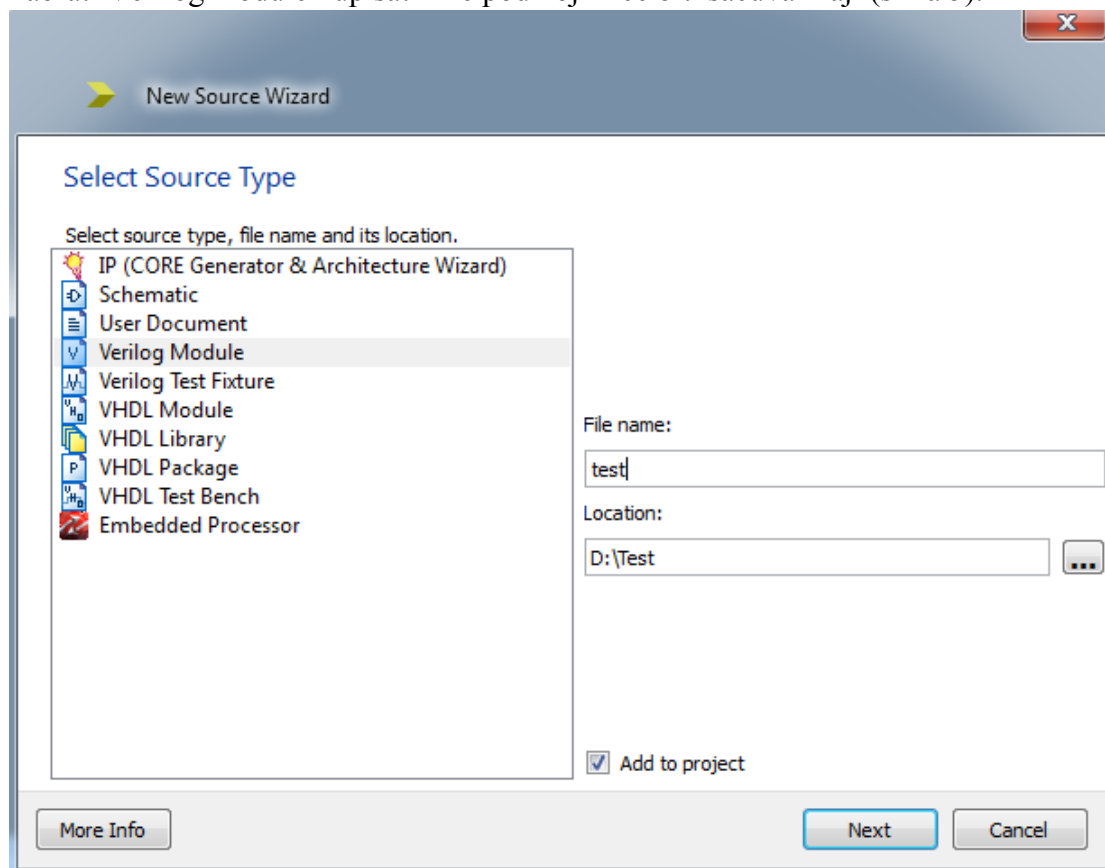
Dodavanje verilog modula i ucf fajla u projekat

Desni klik na naziv projekta -> New source (slika 4).



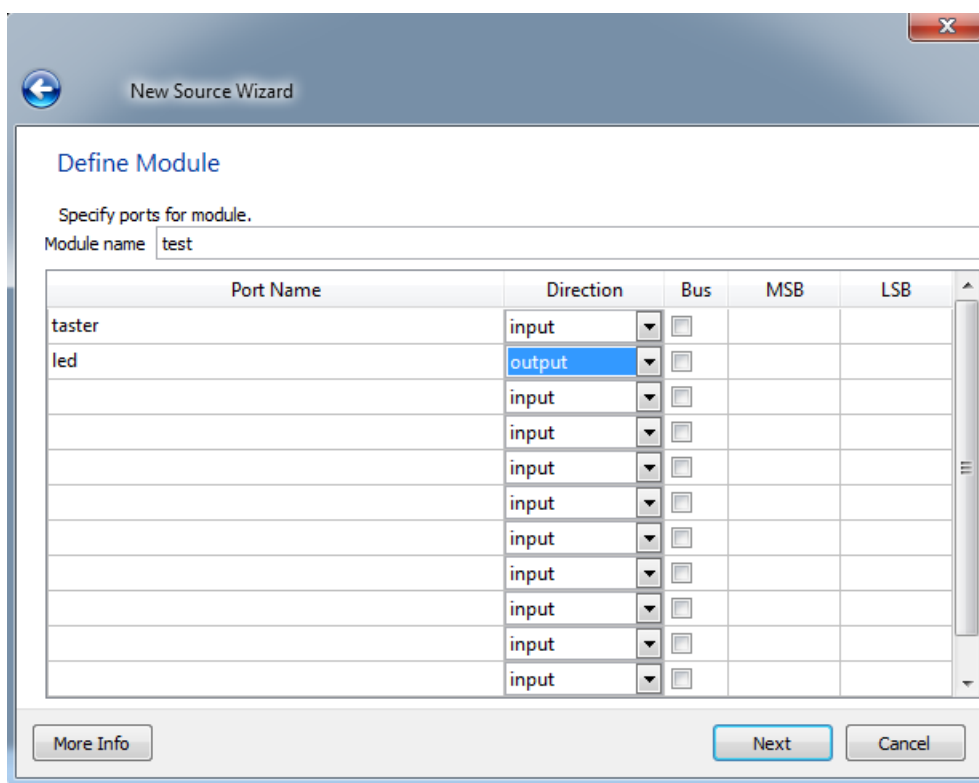
Slika 4

U prozoru izabrati Verilog module i upisati ime pod kojim će biti sačuvan fajl (slika 5).



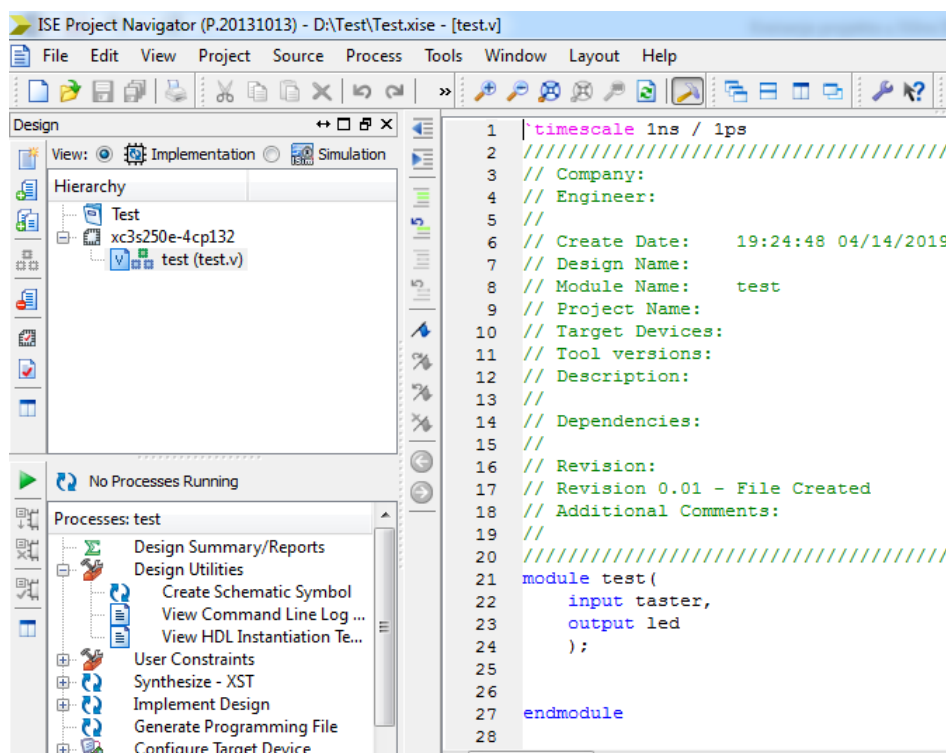
Slika 5

Klikom na dugme Next dobijamo prozor u kome podešavamo naziv modula, ulazne i izlazne portove. Na slici 6 je naveden primer gde modul ima ime test, jedan ulazni port pod imenom taster i jedan izlazni port pod imenom led.



Slika 6

Nakon unošenja podataka kliknuti na dugme Next, a zatim na dugme Finish. Na slici 7 je prikazan generisan verilog modul.



Slika 7

Modul se definiše navođenjem komande **module** nakon koje sledi otvorena zagrada, navođenje ulaznih i izlaznih portova, gde se navođenje portova završava zatvorenom zagradom nakon koje sledi tačka zarez (primetiti da nakon poslednjeg navedenog porta, pre zatvaranja zagrade ne dolazi zarez). Nakon ovoga sledi pisanje sadržaja verilog modula koji se završava sa komandnom reči **endmodule**.

U cilju demonstracije programiranja FPGA čipa u verilog modul će biti dodata komanda **assign** sa kojom će se povezati promenljiva taster sa promenljivom led (slika 8). Prilikom programiranja FPGA prekidač SW0 na Basys 2 ploči treba da upravlja sa stanjem LD0 led diode.

```
module test(  
    input wire taster,  
    output wire led  
);  
  
assign led = taster;  
  
endmodule
```

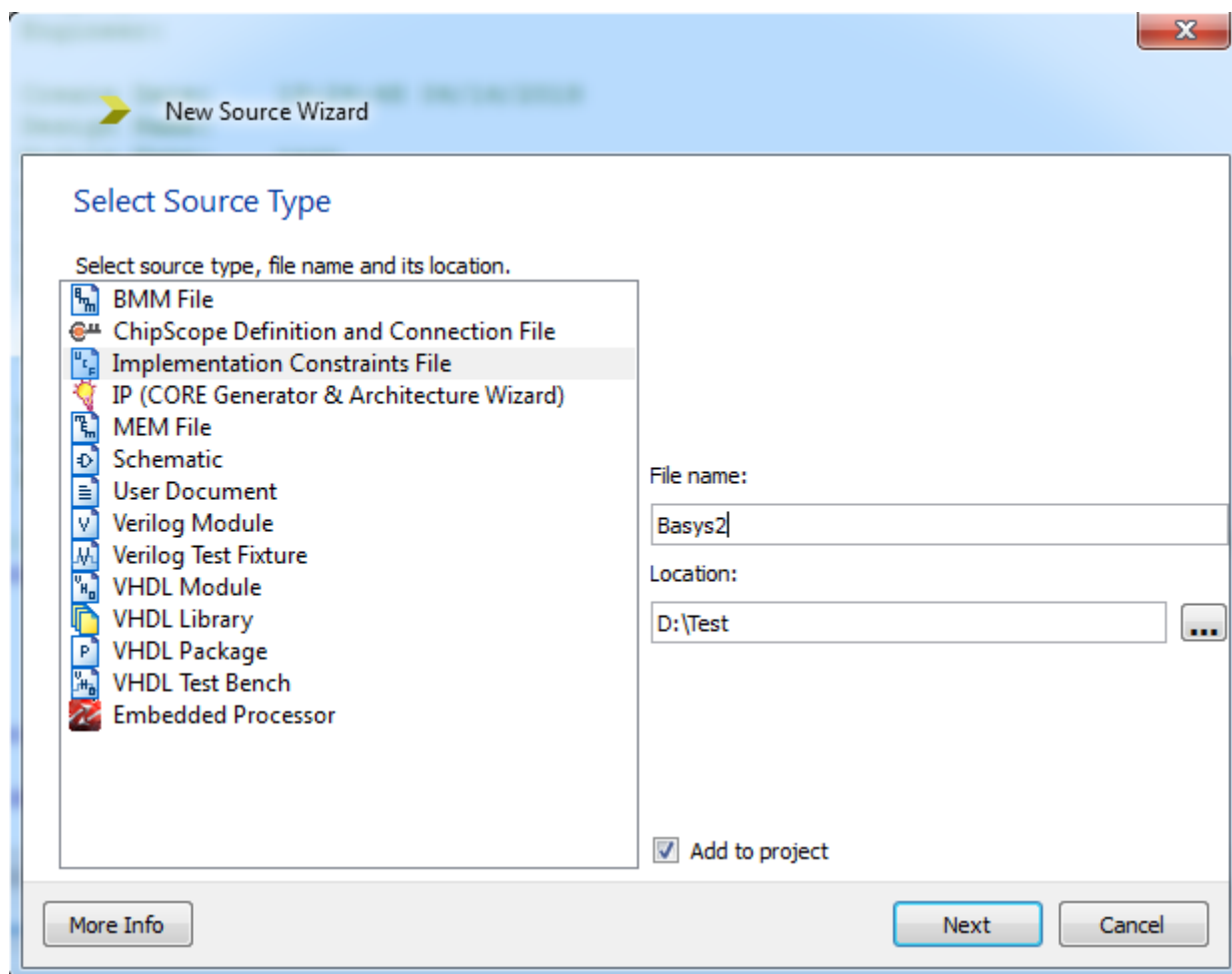
Slika 8

Potrebno je primetiti da samo ispravno unesene komande poprimaju plavu boju teksta.

Da bi projekat mogao da se kompajlira potrebno je povezati promenljive taster i led sa FPGA pinovima na Basys 2 ploči. Ovo se radi preko ucf fajla.

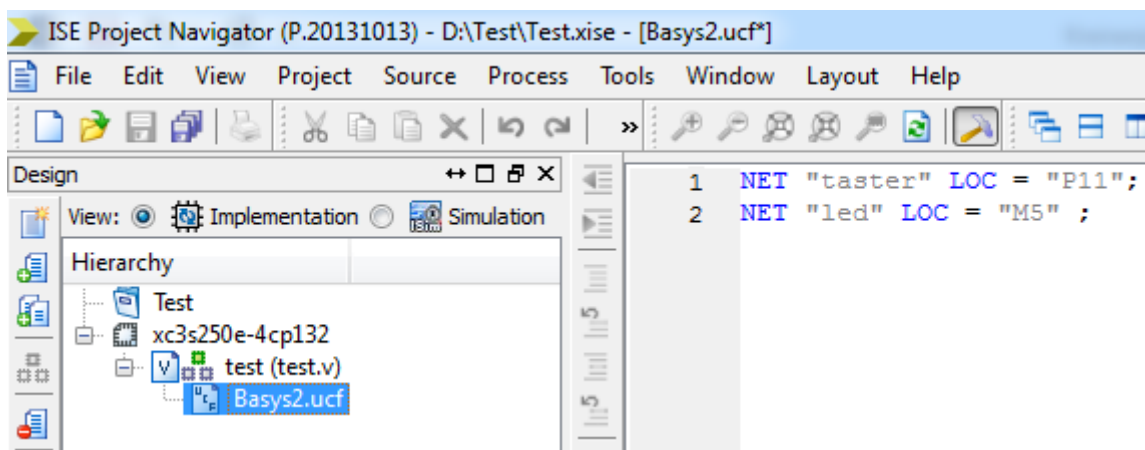
Desni klik na naziv projekta -> New source (slika 4).

Izabrati opciju Implementation constraint file i zadati ime ucf fajlu (slika 9).



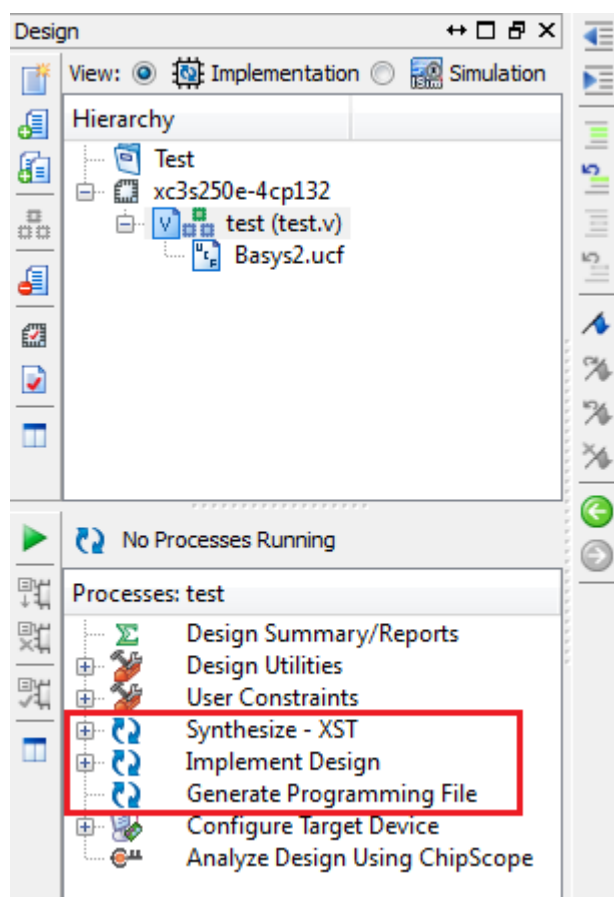
Slika 9

Kliknuti na dugme Next, a zatim na dugme Finish. U otvorenom ucf fajlu upisati komande prema slici 10.



Slika 10

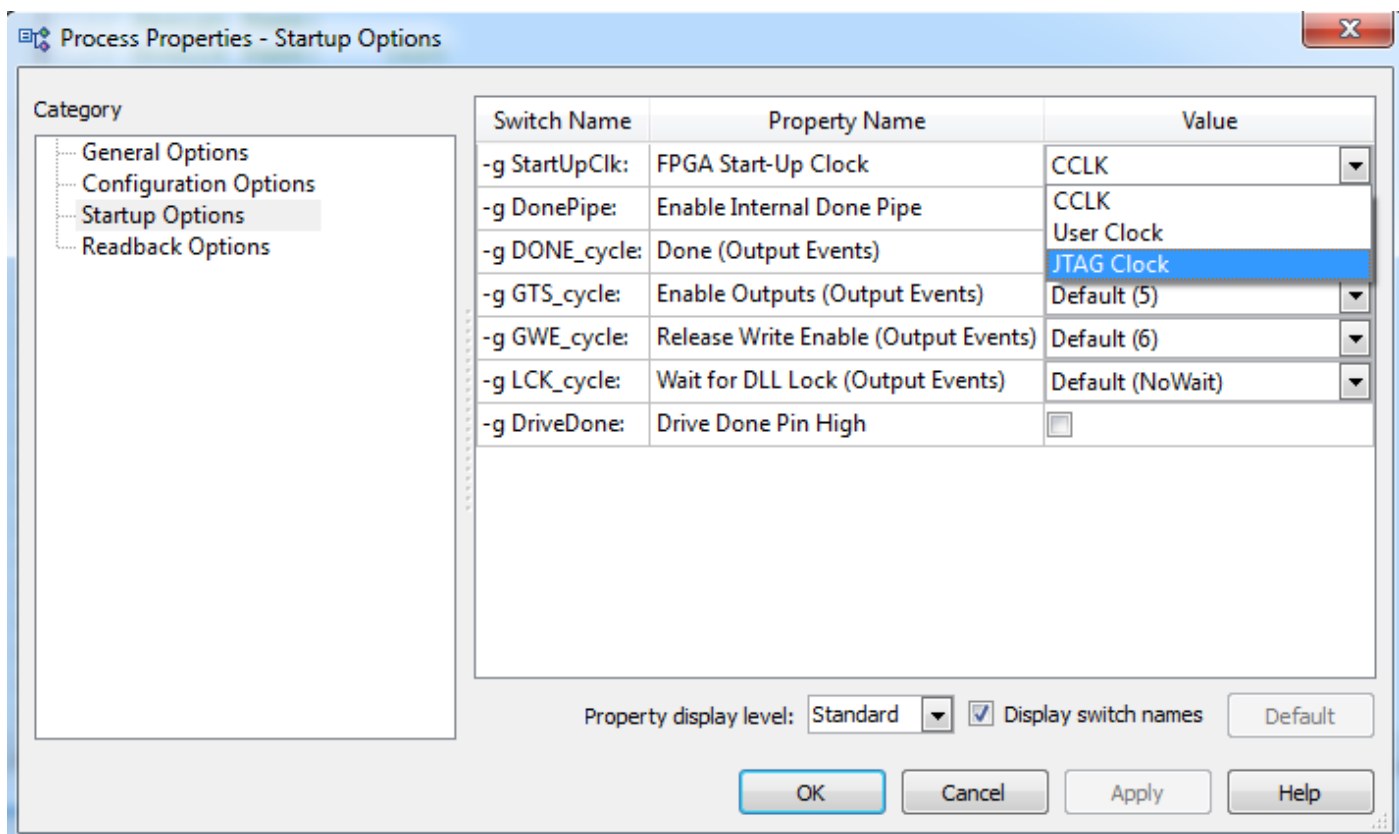
Kliknuti na test.v kao na slici 11.



Slika 11

Na slici 11 su uokvirena tri procesa koja se moraju kompletirati kako bi se mogao programirati FPGA čip. Proces Synthesize pretvara verilog fajlove u netlistu koja je prilagođena izabranom tipu FPGA čipa. Proces Implement Design konvertuje dobijenu logičku netlistu u fizički format koji se može učitati u izabrani FPGA čip. Proces Generate Programing File dobijeni fizički format čuva kao .bit fajl koji se može uprogramirati FPGA čip korišćenjem JTAG programatora. Proces Generate Programming File u .bit fajl upisuje i podatke o izvoru klok signala pri programiranju FPGA čipa (slika 12).

Desni klik na Generate Programming File -> Process Properties.



Slika 12

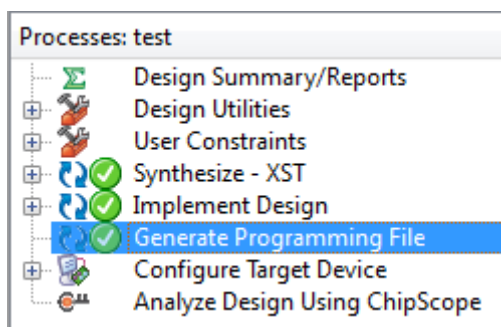
Kliknuti na opciju Startup Options sa desne strane prozora i na desnoj strani u prvom redu iz padajućeg menija izabrati opciju prema:

ako se FPGA čip programira preko JTAG programatora izabrati **JTAG Clock**,

ako se FPGA čip programira korišćenjem eksternog oscilatora izabrati **User Clock**,

ako se FPGA čip programira preko spi linije korišćenjem spoljne memorije izabrati **CCLK**.

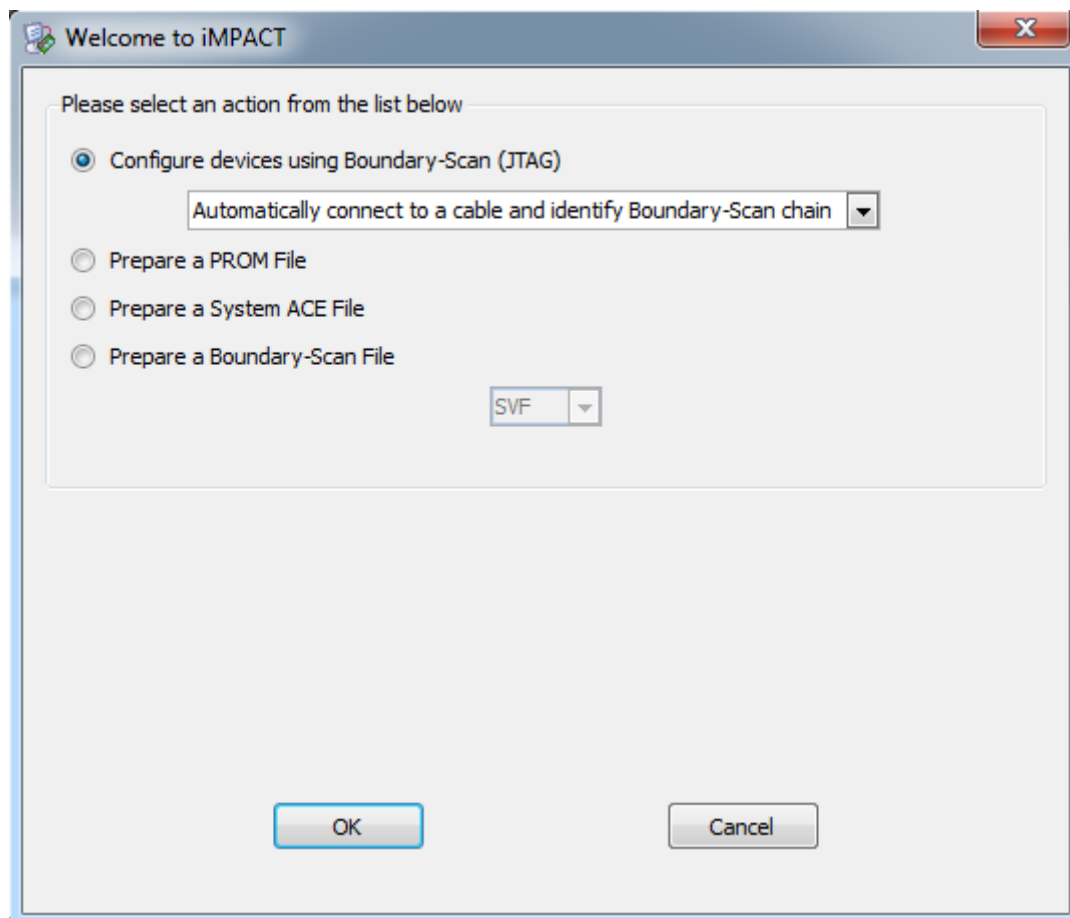
Nakon podešavanja izvora klock signala izvršiti dvoklik na stavku Generate Programming File da bi se započeo proces kompajliranja bit fajla. Ukoliko se proces kompajliranja završi bez greške pored svake stavke postojaće zeleni krug sa kvačicom kao na slici 13.



Slika 13

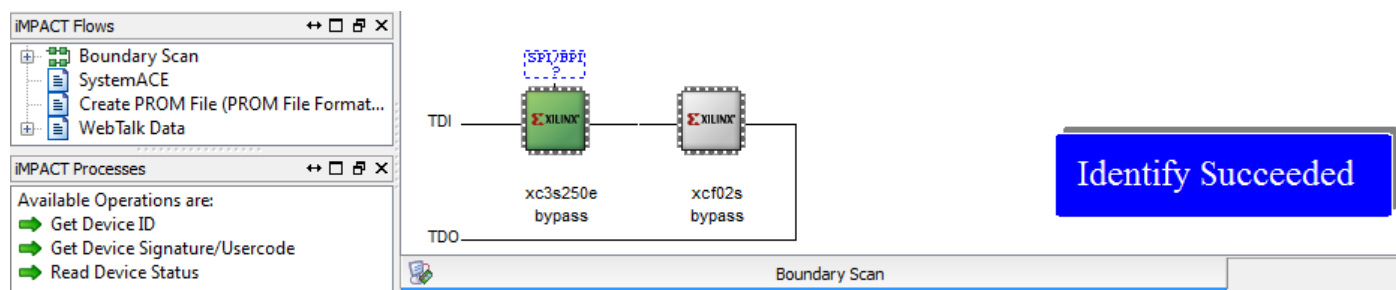
Programiranje Basys 2 ploče korišćenjem programa Impact

Basys 2 ploča ima ugrađen usb JTAG programator. Potrebno je spojiti ploču sa PC računarom i pokrenuti Impact. Pri kreiranju novog projekta u Impact-u potrebno je izabrati opciju za JTAG programator (slika 14).



Slika 14

Nakon uspešnog povezivanja sa pločom pojaviće se prikaz identifikovanih FPGA čipova i memorija (slika 15). U ovom primeru XC3S250E je FPGA čip, a XCF02S je flash memorija u koju se može smestiti program za programiranje FPGA čipa.



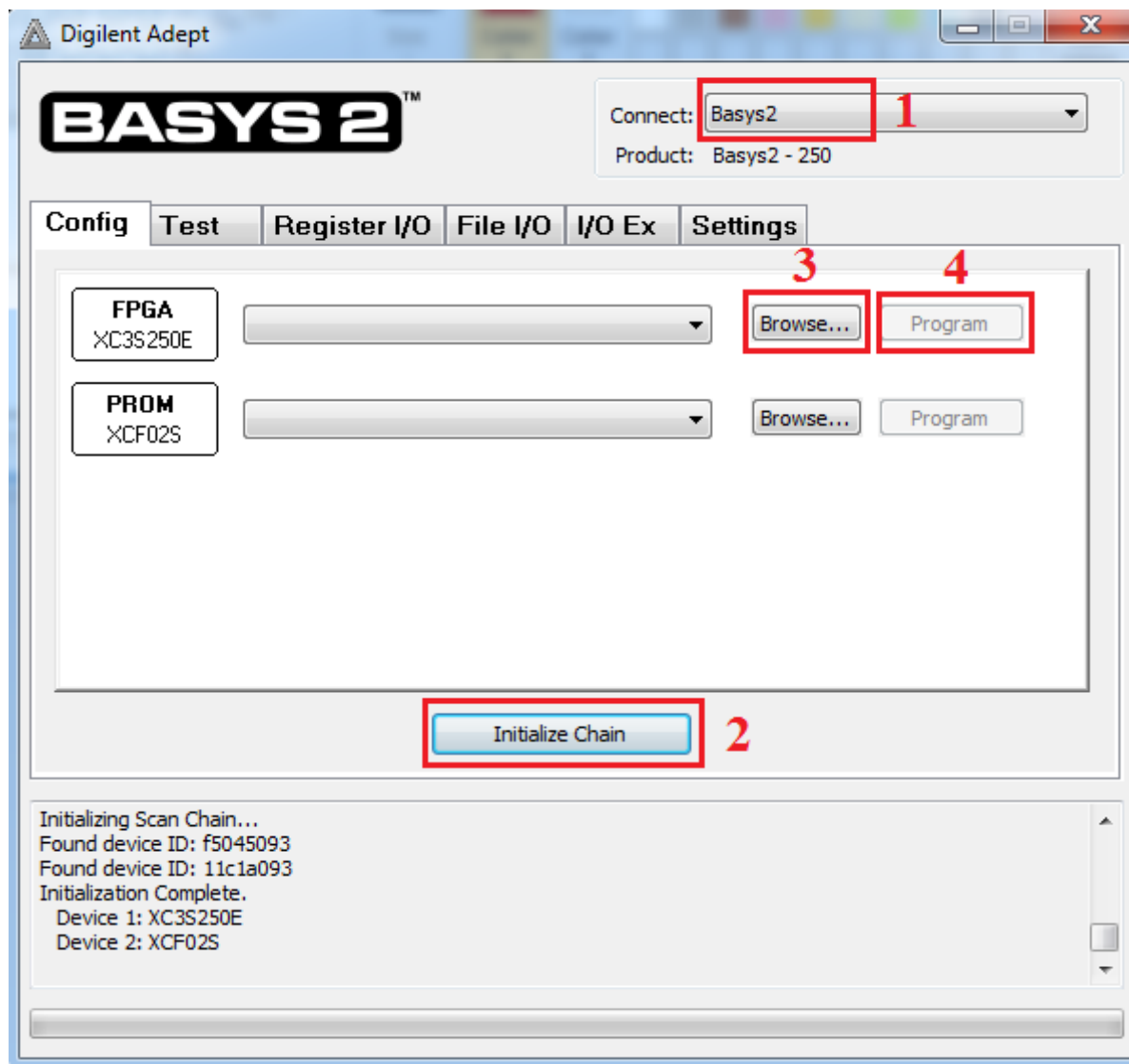
Slika 15

Izvršiti dvoklik na FPGA čip, nakon čega će se otvoriti prozor u kojem treba izabrati kompajlirani .bit fajl. Nakon toga desni klik na FPGA čip i izabrati opciju **Program**.

Programiranje Basys 2 ploče korišćenjem programa Adept

Basys 2 ploča ima ugrađen usb JTAG programator za koji je kompanija Digilent razvila poseban program pod nazivom Adept 2 (slika 16). Program se može besplatno skinuti sa linka:

https://reference.digilentinc.com/reference/software/adept/start?_ga=2.56765037.632182999.1555276609-998963330.1555276609



Slika 16

Koraci za programiranje FPGA čipa:

- 1) iz padajućeg menija izabrati Basys 2 ploču
- 2) kliknuti na **Initialize Chain**
- 3) kliknuti na dugme **Browse** i izabrati kompajlirani bit fajl
- kliknuti na dugme **Program**