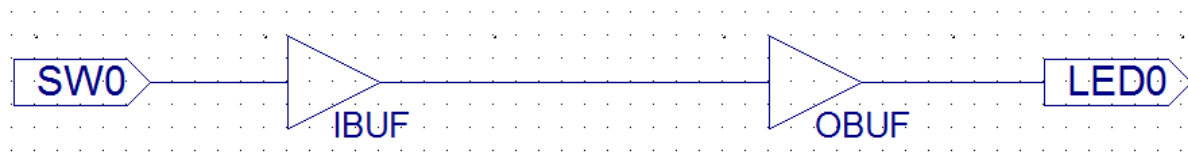


Zadatak 1 – Pelda 1

Povezati ulazni pin od FPGA koji je spojen sa prekidačem SW0, sa izlaznim pinom od FPGA koji je spojen na LED diodu LD0. Zadatak rešiti primenom šematskog prikaza, a za realizaciju zadatka koristiti Basys 2 ploču.

Prekidač SW0 je povezan sa P11 pinom na FPGA čipu, dok je LED dioda LD0 povezana sa M5 pinom na FPGA čipu.

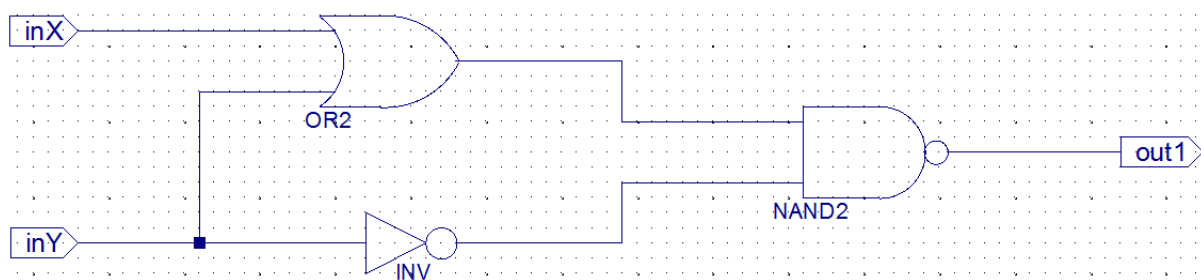


Zadatak 1a – Pelda 1a

Rešiti prethodni zadatak upotrebom opisnog Veriloga.

Zadatak 2 – Pelda 2

Realizovati kolo na slici primenom šematskog prikaza.

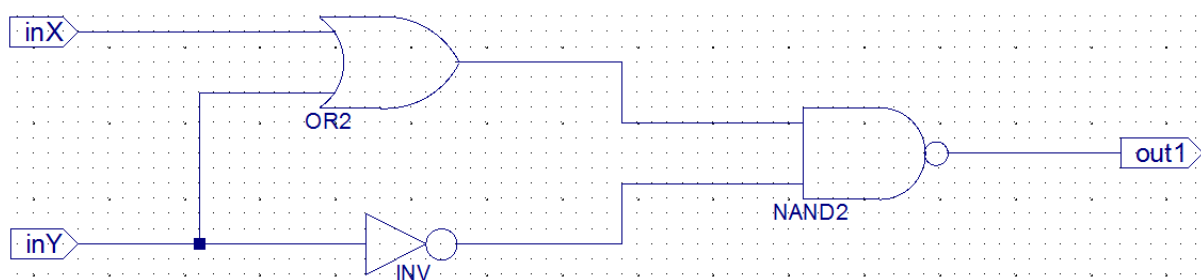


Za realizaciju zadatka koristiti Basys 2 ploču.

Signal inX treba spojiti sa pinom P11, signal inY treba povezati sa pinom L3, a signal out1 treba povezati sa pinom M5.

Zadatak 3 – Pelda 3

Realizovati kolo na slici primenom strukturalnog (structural) Veriloga.

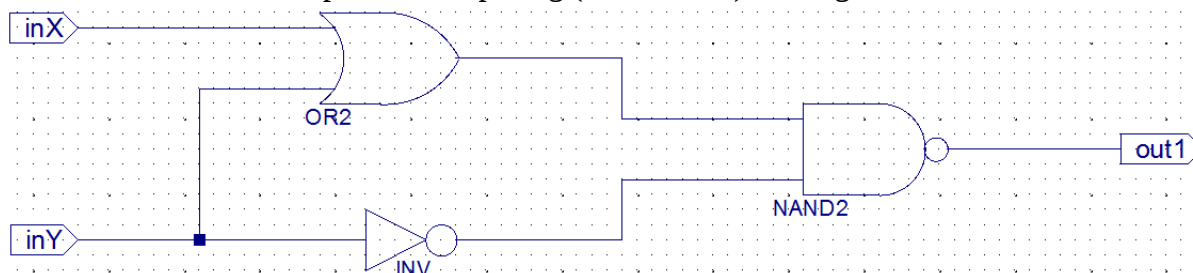


Za realizaciju zadatka koristiti Basys 2 ploču.

Signal inX treba spojiti sa pinom P11, signal inY treba povezati sa pinom L3, a signal out1 treba povezati sa pinom M5.

Zadatak 4 – Pelda 4

Realizovati kolo na slici primenom opisnog (behavioural) Veriloga.



Za realizaciju zadatka koristiti Basys 2 ploču.

Signal inX treba spojiti sa pinom P11, signal inY treba povezati sa pinom L3, a signal out1 treba povezati sa pinom M5.

Zadatak 5 – Pelda 5

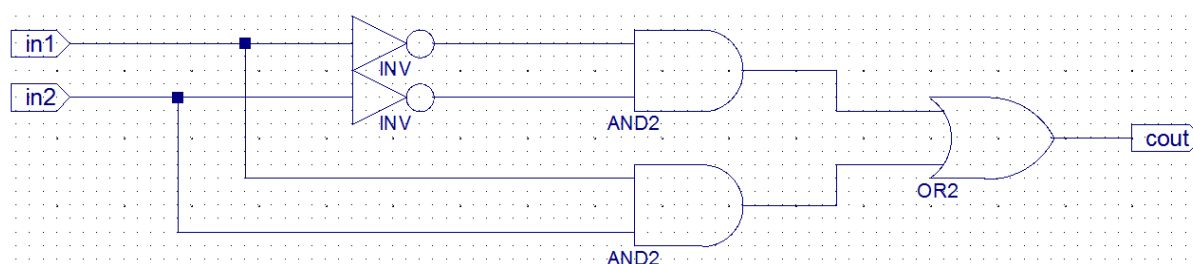
Kolo iz prethodnog zadatka simulirati korišćenjem testbench-a.

Promena stanja prekidača tokom vremena je data u sledećoj tabeli:

Vremenski trenutak [ns]	Stanje prekidača
0	isključen
200	uključen
300	isključen
500	uključen
700	isključen
800	isključen

Zadatak 6 – Pelda 6

Realizovati jednobitni komparator, upotrebom šematskog prikaza, prema sledećoj slici:



Za realizaciju zadatka koristiti Basys 2 ploču.

Signal in1 treba spojiti sa pinom L3, signal in2 treba povezati sa pinom P11, a signal cout treba povezati sa pinom M5.

Zadatak 7 – Pelda 7

Realizovati jednobitni komparator, upotrebom opisnog veriloga, prema sledećoj tabeli istinitosti:

in1	in2	cout
0	0	1
0	1	0
1	0	0
1	1	1

Za realizaciju zadatka koristiti Basys 2 ploču.

Signal in1 treba spojiti sa pinom L3, signal in2 treba povezati sa pinom P11, a signal cout treba povezati sa pinom M5.

Nakon toga simulirati rad kola korišćenjem verilog testbench-a.

Zadatak 8 – Pelda 8

Realizovati dvobitni komparator, upotrebom opisnog veriloga, tajko što će se izvršiti instanciranje dva jednobitna verilog modula prema prethodnom zadatku.

Tabela istinitosti za dvobitni komparator je data u sledećoj tabeli:

in1	in2	c2out
00	00	1
01	01	1
10	10	1
11	11	1
Sve ostale kombinacije		0

Za realizaciju zadatka koristiti Basys 2 ploču.

Signal in1[0] treba spojiti sa pinom P11, signal in1[1] treba spojiti sa pinom L3, signal in2[0] treba povezati sa pinom K3, signal in2[1] treba povezati sa pinom B4, a signal c2out treba povezati sa pinom M5.

Zadatak 9 – Pelda 9

Realizovati delitelj frekvencije upotrebom opisnog veriloga. Za realizaciju zadatka koristiti Basys 2 ploču. Ulazni klok signal clk je povezan sa pinom B8. Izlazni signali iz delitelja frekvencije su povezani na pinove M5, M11, P7, P6, N5, N4, P4 i G1.

Zadatak 10 – Pelda 10

Realizovati dekodera za 7 segmentnu LED cifru u opisnom verilogu. Za realizaciju zadatka koristiti Basys 2 ploču. Četvoro bitna cifra za ispis se generiše putem četiri prekidača na Basys 2 ploči. Prekidači su povezani na pinove P11, L3, K3, B4 (pinovi su navedeni u

redosledu od nultog bita do trećeg bita četvero bitnog broja). Pošto na ploči ima četiri 7 segmentne LED cifre, sa tasterima se upravlja koja anoda 7 segmentne LED cifre je trenutno aktivna. Tasteri su povezani sa pinovima G12, C11, M4 i A7. Njih je potrebno povezati sa anodama od 7 segmentnih cifara koje se nalaze na pinovima F12, J12, M13 i K14. Segmenti sve četiri LED cifare su spojeni na zajedničku magistralu i povezani su sa pinovima L14 (segment A), H12 (segment B), N14 (segment C), N11 (segment D), P12 (segment E), L13 (segment F) i M12 (segment G).

Zadatak 11 – Pelda 11

Realizovati dekodera za 7 segmentnu LED cifru u opisnom verilogu. Za realizaciju zadatka koristiti Basys 2 ploču. Četvero bitnu cifru za ispis generisati putem delitelja frekvencije.

Klok signal od 50MHz je spojen na pin B8. Četvero bitna cifra treba da se povećava za jedan od 0 do 16 (heksadecimalno F), nakon čega ponovo kreće od nule. Broj se uvećava frekvencijom od približno 1 Hz. Broj treba ispisivati samo na jednu 7 segmentnu cifru, tj. treba aktivirati samo anodu koja je spojena na pin F12.

Segmenti sve četiri LED cifare su spojeni na zajedničku magistralu i povezani su sa pinovima L14 (segment A), H12 (segment B), N14 (segment C), N11 (segment D), P12 (segment E), L13 (segment F) i M12 (segment G).

Zadatak 12 – Pelda 12

Ovo je isti zadatak kao i prethodni samo se ne koristi assign komanda za dodelu vrednosti izlazni port tipa wire, nego je izlazni port definisan kao tip reg.

Zadatak 13 – Pelda 13

Realizovati dekodera za 7 segmentnu LED cifru u opisnom verilogu. Za realizaciju zadatka koristiti Basys 2 ploču. Osmo bitnu cifru za ispis generisati putem delitelja frekvencije.

Klok signal od 50MHz je spojen na pin B8. Osmo bitna cifra treba da se povećava za jedan od 0 do 255 (heksadecimalno FF), nakon čega ponovo kreće od nule. Broj se uvećava frekvencijom od približno 10 Hz. Broj treba ispisivati samo na dve 7 segmentne cifre primenom vremenskog multipleksa (TDM – Time division multiplex), jer su 7 segmentne cifre povezane na zajedničku magistralu. Potrebno je aktivirati samo anode koje su spojene na pinove F12 i J12.

Segmenti sve četiri LED cifare su spojeni na zajedničku magistralu i povezani su sa pinovima L14 (segment A), H12 (segment B), N14 (segment C), N11 (segment D), P12 (segment E), L13 (segment F) i M12 (segment G).

Zadatak 14 – Pelda 14

Ovaj zadatak je identičan kao prethodni, demonstrira se činjenica da je svejedno da li se komande pišu više always blokova ili u istom always bloku kada imaju zajednički okidač.

Zadatak 15 – Pelda 15

Zadatak je isti kao prethodna dva, demonstrira se problem koji se javlja ako se istovremeno menja promenljiva i vrši upravljanje na osnovu njene vrednosti.

Zadatak 16 – Pelda 16

Zadatak je isti kao prethodna tri zadatka, demonstrira se spori vremenski multipleks, tj četvero bitna cifra se uvećava u isto vreme kada se menja aktivna 7 segmentna cifra, pa ispis skače sa jedne 7 segmentne cifre na drugu svaki put kada se uveća broj.

Zadatak 17 – Pelda 17

Zadatak je isti kao prethodni zadatak, demonstrira se brzi vremenski multipleks, tj frekvencija promene aktivne 7 segmentne cifre je mnogo veća od 15Hz, pa se stiče utisak da obe cifre svetle istovremeno – ispisuje se četvorobitni bitni broj.

Zadatak 18 – Pelda 18

Zadatak je isti kao prethodni zadatak, demonstrira se brzi vremenski multipleks, tj frekvencija promene aktivne 7 segmentne cifre je mnogo veća od 15Hz, pa se stiče utisak da obe cifre svetle istovremeno – ispisuje se osmo bitni broj.

Zadatak 19 – Pelda 19

Realizovati dekodera za 7 segmentnu LED cifru u opisnom verilogu. Za realizaciju zadatka koristiti Basys 2 ploču. Šesnaesto bitnu cifru za ispis generisati putem delitelja frekvencije. Klok signal od 50MHz je spojen na pin B8. Šesnaesto bitna cifra treba da se povećava za jedan od 0 do 65535 (heksadecimalno FFFF), nakon čega ponovo kreće od nule. Broj se uvećava frekvencijom od približno 10 Hz. Broj treba ispisivati na sve 7 segmentne cifre primenom vremenskog multipleksa (TDM – Time division multiplex), jer su 7 segmentne cifre povezane na zajedničku magistralu. Potrebno je aktivirati anode koje su spojene na pinove F12, J12, M13 i K14.

Segmenti sve četiri LED cifare su spojeni na zajedničku magistralu i povezani su sa pinovima L14 (segment A), H12 (segment B), N14 (segment C), N11 (segment D), P12 (segment E), L13 (segment F) i M12 (segment G).

Zadatak 20 – Pelda 20

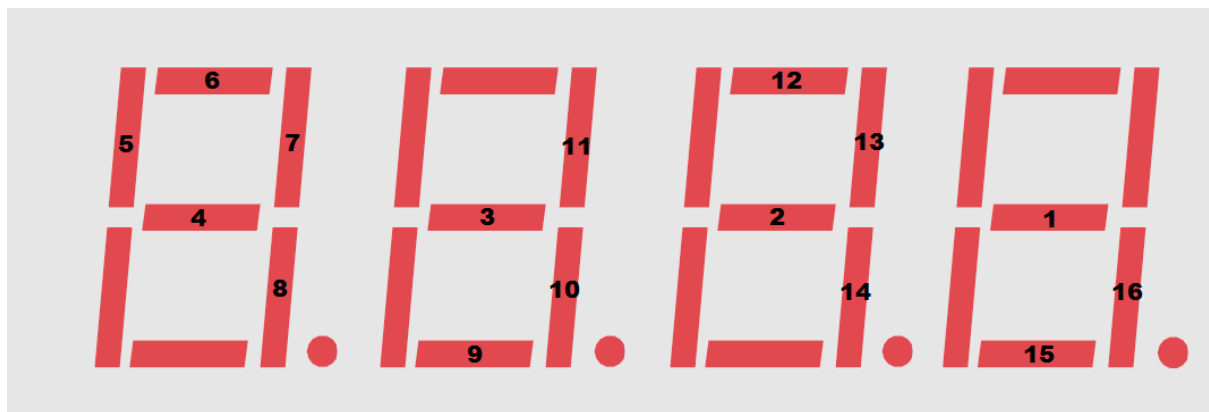
Realizovati logičko kolo koje upravlja sa LED diodama (LD0 do LD7) na Basys 2 ploči. U svakom trenutku može biti uključena samo jedna LED dioda. Nakon programiranja FPGA prvo treba da se uključi LED dioda LD0, a zatim da smer uključenih LED dioda ide nalevo, kad se uključi LED dioda LD7 onda se smer menja nadesno, dok se ne stigne do LED diode LD0. Nakon toga ciklus se ponavlja ispočetka. Prebacivanje sa jedne na drugu LED diodu se vrši sa periodom od ~1 sekunde. Pri realizaciji zadatka promenu smera i promenu diode koja treba da se uključi realizovati na istu pozitivnu ivicu signala periode ~1 sekunde.

Zadatak 21 – Pelda 21

Realizovati logičko kolo koje upravlja sa LED diodama (LD0 do LD7) na Basys 2 ploči. U svakom trenutku može biti uključena samo jedna LED dioda. Nakon programiranja FPGA prvo treba da se uključi LED dioda LD0, a zatim da smer uključenih LED dioda ide nalevo, kad se uključi LED dioda LD7 onda se smer menja nadesno, dok se ne stigne do LED diode LD0. Nakon toga ciklus se ponavlja ispočetka. Prebacivanje sa jedne na drugu LED diodu se vrši sa periodom od ~ 1 sekunde. Pri realizaciji zadatka promenu diode koja treba da se uključi realizovati na pozitivnu ivicu signala periode ~ 1 sekunde, dok promenu smeru treba realizovati na negativnu ivicu signala periode ~ 1 sekunde.

Zadatak 22 – Pelda 22

Realizovati upravljanje sa sve četiri 7 segmentne cifre na Basys2 ploči. Približno svake sekunde treba da zasvetli drugi segment na narednoj cifri u redosledu koji je prikazan na slici.

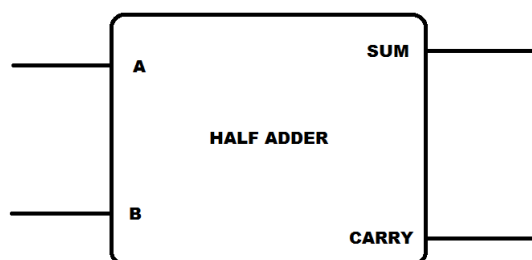


Zadatak 23 – Pelda 23

Objediniti rešenja zadataka 21 i 22 u jedan projekat, tj radnje iz prethodna dva zadatka treba da se realizuju istovremeno na Basys2 ploči.

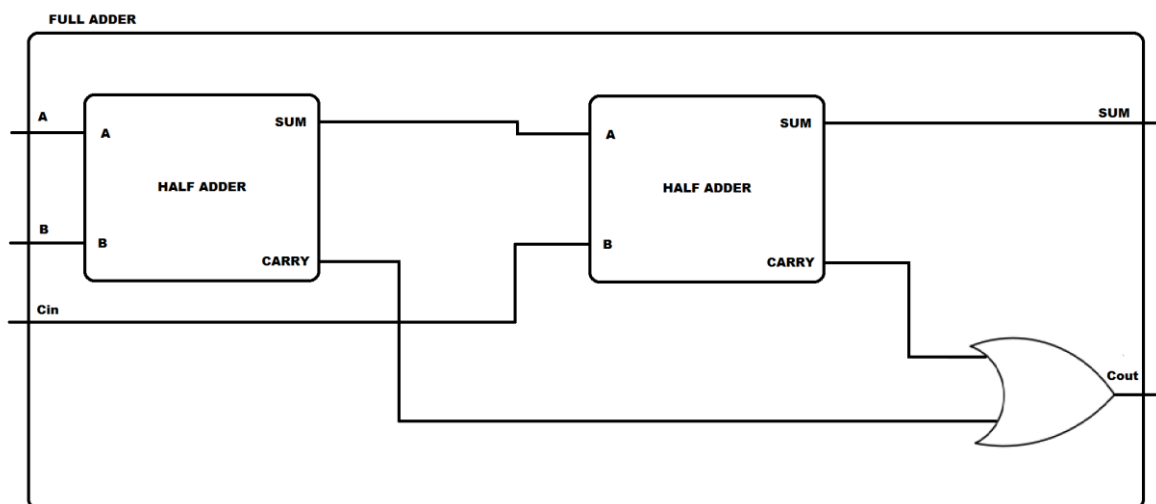
Zadatak 24 – Pelda 24

Realizovati polusabirač (HalfAdder) na Basys2 ploči. Ulaz A povezati na pin P11, ulaz B povezati na pin L3, izlaz Sum (Suma) povezati na M5, a izlaz Carry (prenos) povezati na pin M11.



Zadatak 25 – Pelda 25

Realizovati punisabirač (FullAdder) na Basys2 ploči. Ulaz A povezati na pin P11, ulaz B povezati na pin L3, ulaz Cin (prenos) povezati na pin K3, izlaz Sum (Suma) povezati na M5, a izlaz Cout (prenos) povezati na pin M11. Za realizaciju koristiti dva polusabirača iz prethodnog zadatka.



Zadatak 26 – Pelda 26

Realizovati aritmetičke operacije na Basys2 ploči. Za odabir operacije koristiti prva četiri prekidača (SW0 ... SW3). Ukoliko je stanje prekidača 0000, na sedmosegmentne cifre poslati rezultat operacije $16'd100 + 16'd64$. Ukoliko je stanje prekidača 0001, na sedmosegmentne cifre poslati rezultat operacije $16'd1 + 16'd1$. Ukoliko je stanje prekidača 0010, na sedmosegmentne cifre poslati rezultat operacije $16'd100 - 16'd64$. Ukoliko je stanje prekidača 0011, na sedmosegmentne cifre poslati broj $16'd32$.

Zadatak 27 – Pelda 27

Zadatak 28 – Pelda 28

Realizovati aritmetičku operaciju sabiranja na Basys2 ploči. Za unos prvog četvorobitnog broj koristiti prva četiri prekidača (SW0 ... SW3), a za unos drugog četvorobitnog broj koristiti naredna četiri prekidača (SW4 ... SW7). Zbir ova dva četvorobitna broja treba prikazati na sedmosegmentnim ciframa.

Zadatak 29 – Pelda 29

Realizovati aritmetičku operaciju sabiranja i oduzimanja na Basys2 ploči. Za unos prvog četvorobitnog broj koristiti prva četiri prekidača (SW0 ... SW3), a za unos drugog četvorobitnog broj koristiti naredna četiri prekidača (SW4 ... SW7). Ukoliko je taster BTN0 pritisnut razliku dva četvorobitna broja treba prikazati na sedmosegmentnim ciframa.

Ukoliko taster BTN0 nije pritisnut zbir dva četvorobitna broja treba prikazati na sedmosegmentnim ciframa.

Zadatak 30 – Pelda 30

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje očitava stanje na 8 ulaznih prekidača (sw0 ... sw7) i upravlja sa bojom na VGA ekranu sa sedećim parametrima:

rezolucija je 640x480 piksela,

signal clk je ulazni klok na 50MHz,

signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:

rgb[1:0] plava boja

rgb[4:2] zelena boja

rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 31 – Pelda 31

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava jedan piksel bele boje na poziciji (200, 200). VGA ekran se koristi sa sedećim parametrima:

rezolucija je 640x480 piksela,

signal clk je ulazni klok na 50MHz,

signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:

rgb[1:0] plava boja

rgb[4:2] zelena boja

rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 32 – Pelda 32

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava jednu horizontalnu belu liniju na poziciji 200. VGA ekran se koristi sa sedećim parametrima:

rezolucija je 640x480 piksela,

signal clk je ulazni klok na 50MHz,

signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:

rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 33 – Pelda 33

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava jednu horizontalnu crvenu liniju na poziciji 200. VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 34 – Pelda 34

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava jednu vertikalnu belu liniju na poziciji 400. VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 35 – Pelda 35

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava jednu vertikalnu žutu liniju na poziciji 400. VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:

rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 36 – Pelda 36

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava horizontalnu zastavu crvene, zelene i plave boje prema sledećim parametrima:

crvena boja se iscrtava od reda 0 do reda 159,
zelena boja se iscrtava od reda 161 do reda 319,
plava boja se iscrtava od reda 321 do reda 479,
redovi 160 i 320 su crne boje.

VGA ekran se koristi sa sledećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 37 – Pelda 37

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava vertikalnu zastavu crvene, zelene i plave boje prema sledećim parametrima:

crvena boja se iscrtava od kolone 0 do kolone 219,
zelena boja se iscrtava od kolone 221 do kolone 439,
plava boja se iscrtava od kolone 441 do kolone 639,
kolone 220 i 440 su crne boje.

VGA ekran se koristi sa sledećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 38 – Pelda 38

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava ivice pravougaonika bele boje sa koordinatama temena (0,0), (639,0), (0,479), (639,479).

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 39 – Pelda 39

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava dve vertikalne bele linije na pozicijama 216 i 432 i dve horizontalne bele linije na pozicijama 160 i 320.

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 40

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava karakter A plave boje na beloj pozadini ekrana. Slovo je rasterskog tipa, dimenzija 8x16.

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 41

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava Ascii karaktere plave boje na beloj pozadini ekrana. Karakteri su rasterskog tipa, dimenzija 8x16 i iscrtavaju je u regionu koji je ograničen koordinatama (192, 208) i (448 ,272).

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 42

Realizovati logički deo ALU jedinice 74181 ($M == 1$) u Verilogu na Basys2 ploči. Ulazne četvorobitne brojeve zadavati preko prekidača SW0 ... SW7, a selekciju S vršiti preko tastera BTN0 ... BTN3. Rezultat ispisivati na sedmosegmentnu cifru.

Zadatak 43

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje iscrtava Ascii karaktere plave boje na beloj pozadini ekrana. Karakteri su rasterskog tipa, dimenzija 8x16. Karakteri se iscrtavaju na prve 32 pozicije u prvom redu u sledećem rasporedu:

A: B: OPERACIJA: REZULTAT: .

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 44

Polazeći od prethodnog zadatka dodati ALU jedinicu 74181 tako da se prva četiri prekidača (SW0 ... SW3) dovode na ulaz A od ALU jedinice, a naredna četiri prekidača (SW4 ... SW7) se dovode na ulaz B ALU jedinice. Na ulaz S se dovode tasteri BTN0 ... BTN3). Pored toga izlazni rezultat iz ALU jedinice zajedno sa ulaznim vrednostima potrebno je prikazati na VGA ekranu, nakon dvotačke. Realizovati prikaz decimalnih brojeva.

VGA ekran se koristi sa sedećim parametrima:
rezolucija je 640x480 piksela,
signal clk je ulazni klok na 50MHz,
signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:
rgb[1:0] plava boja
rgb[4:2] zelena boja
rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.

Zadatak 45 – 46 – 47

Realizovati logičko kolo u Verilogu na Basys2 ploči, koje generiše jednu punu oktavu na prostom zvučniku veoma male snage. Signal za zvučnik izvesti preko pina J3. Za note koristiti prekidače SW0 ... SW7.

Zadatak 48

Projekt iz zadatka 44 unaprediti tako da se mogu prikazivati heksadecimalni brojevi od 0 do F.

Zadatak 49

Konstruisati vga bafer koji sadrži vrednosti svih 2400 karaktera koje se ispisuju na ekran. U bafer smestiti tekst VTS 2022 koji se ponavlja do kraja memorije. Na lokaciju 2399 umesto 2 upisati 3.

VGA ekran se koristi sa sedećim parametrima:

rezolucija je 640x480 piksela,

signal clk je ulazni klok na 50MHz,

signali hsync, vsync i [7:0] rgb su povezani na VGA port, gde je:

rgb[1:0] plava boja

rgb[4:2] zelena boja

rgb[7:5] crvena boja

Napomena: ukoliko je na Basys2 ploču priključen eksterni oscilator na 50MHz, onda za clk signal koristiti FPGA pin M6, u suprotnom za clk signal koristiti interni oscilator na pinu B8, ali u tom slučaju voditi računa da se radi o oscilatoru slabog kvaliteta.