Schematik projekt készítése a Xilinx ISE alkalmazásban a Diligent Basys 2 FPGA lap számára

Az Xilinx ISE 14.7-es verziója az utolsó olyan verzió, amely még támogatja a Spartan 3 és Spartan 6 FPGA chippeket. Ez az alkalmazás ingyenes és a következő helyről tölthető le:

https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html A folytatásban az új projetkus elkészítésnek lépései vannak leírva. File -> New project

🍃 New Project	Wizard	X
Create New Proj	ect and type.	
Name: Location: Working Directory: Description:	Test D:\Test\ D:\Test\	
Select the type of to Top-level source typ Schematic More Info	p-level source for the project e:	Next Cancel

1. ábra – A projekt nevének és könyvtárának kiválasztása

A "Name" mezőbe a projekt nevét kell megadni. A "Location" mezőbe célkönyvtárat kell megadni, ahová a projektet menteni szeretnénk. A "Top-level source type" legördülő listából a Schematic-ot kell választani, amennyiben grafikus programozási módban kívánunk dolgozni.

Ahhoz, hogy programozni lehessen az FPGA-t, ismernünk kell a pontos típus és tokozás jelölést. A Basys 2 lap esetében ez egy Spartan 3E családba tartozó, XC3S250E FPGA chip, CP132 tokozásban (2. ábra).

ж G New Project Wizard **Project Settings** Specify device and project properties. Select the device and design flow for the project Value ٠ Property Name Evaluation Development Board None Specified Ŧ Product Category All Ŧ Family Spartan3E Ŧ Device XC3S250E Ŧ CP132 Package Ŧ -4 Speed Ŧ Top-Level Source Type Schematic -Synthesis Tool XST (VHDL/Verilog) Ŧ Simulator ISim (VHDL/Verilog) Ŧ Preferred Language Verilog Ŧ Property Specification in Project File Store all values ▼ Manual Compile Order VHDL-93 VHDL Source Analysis Standard Ŧ Enable Message Filtering More Info Next Cancel

2. ábra – Az FPGA chip beállításai

A paraméterek beállítása után a Next, majd Finish gombokra kell kattintani. Amennyiben a paraméterek helyesen lettek beírva, a projektablak bal felső sarkában meg fog jelenni a projekt neve és a használatos FPGA chip neve (3. ábra).

🍃 ISE P	roje	t Navig	ator (P.201	131013) -	D:\Test\	Test					
File E	Edit	View	Project	Source	Proces	s '					
	}		₿ ¥	Ð B	×s	C					
Design					↔□₽	×					
📑 Vie	w: @) 🔯 In	nplementatio	on 🔘 🚮	Simulatio	m					
JE Hi	erarc	hy									
	🧃 Test 🛱 xc3s250e-4cp132										
			Empty	View							
	The view currently contains no files. You can add files to the project using the toolbar at left, commands from the Project menu, and by using the Design, Files, and Libraries panels.										
		Use:				T					
5	No	Process	es Running								

3. ábra – Xilinx ISE környezet a projekt beállításokkal

Schematic modul és ucf fájl hozzáadása a projekthez

Jobb egér kattintás a projekt nevén -> New source (4. ábra)



4. ábra

Az ablakban kiválasztani a Schematic modult és beírni a nevet, amely alatt a fájl el lesz mentve (5. ábra).

🥜 New Source Wizard	
Select Source Type Select source type, file name and its location. P (CORE Generator & Architecture Wizard) Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Package VHDL Test Bench Embedded Processor	File name: test Location: D:\Test\
More Info	Next Cancel

5. ábra

A Next gombra kattintva megjelenik egy ablak, amelyben be tudjuk állítani a modul nevét és a ki-, bemenő portokat (6. ábra).

- ISE Project Navigator (P.20151015) - D.(Test(TestSer	n\rest.xise - [test.sch]
File Edit View Project Source Process	Add Tools Window Layout Help
∽~ ×@@% & @ @ 	> / / / / / / / / / / / / / / / / / / /
Symbols ↔ □ 문 ×	
Categories	
DDR Flip_Flop	
Symbols acc16 acc4 acc8 add16 add4 add8 adsu16 ads	
Symbol Name Filter	
Orientation Rotate 0 V	
s 🚺 Libraries 🏖 Symbols 🜮 Options 🜗 🕑	test.sch

6. ábra

Az FPGA chip programozásának bemutatása céljából a Shematic modulba be lesz rajzolva a logika, amely a *taster* változót a *led* változóval köti össze. Miután az FPGA be lesz programozva, a Basys 2 lapon levő SW0 kapcsoló fogja vezérelni az LD0 LED diódát.

A **Symbols** fülre kattintani és kiválasztani az **IO** kategóriát. A szimbólumok listájából kiválasztani az **ibuf** szimbólumot és elhelyezni a sémán. Ez után kiválasztani az **obuf** szimbólumot és az ibuf elem mellé helyezni a sémán (7. ábra).

원 분 분 년 월
₽ ¥ 응 ↓ 0
활소
a© ↓ ↓
1 7 1
10 T

÷
~
· `
0
/
•
A
2
Ð
44
-
<u> </u>
<u></u>
*
-
-
<u>-</u>
•
Ø

7. ábra

Ezután az Add I/O Marker ikonra kattintani (8. ábra) és a komponensek mindkét oldalára portokat helyezni.



8. ábra

Kettős kattintás minden markerre, majd beállítani őket a 9. és 10. ábrák szerint.

Object Properties - Net	t taster Attribute	15		_			X
Category	View and edit the	attributes of the se	elected ne	ts			
taster	Name	Value			Visible		New
taster	Name	taster			Add		Edit Traits
	PortPolarity	Input	-		Add		
							Delete
				ОК	Cancel	Apply	Help

9. ábra

Digect Properties - N	Net led Attributes		-	X
Category	View and edit the a	attributes of the selecte	d nets	
led Nets	Name	Value	Visible	New
i led	Name	led	Add	Edit Traits
	PortPolarity	Output 💌	Add	
				Delete
	-			
			OK Cancel Ap	ply Help

10. ábra

A beállítások után a séma a következőképp kell hogy kinézzen (11. ábra)

·	·	·	•	•	·	·	·	·	·	·	·	·	·	·	·	•	•		•	•		·	·	·	·	·	•	·	·	•	•	•		•	•	•	·	·	•	·	·	•	·	·			·	•	·
·	·	·	•	·	·	·	·	·	·	·	·	·	·	·	·	·	•		·	·	·	·	·	·	·	·	·	·	·	·	•	•	• •	•	•	•	·	·	·	·	·	·	·	·	·	·	·	·	·
·	·	·	·	•	·	·	·	·	·	·	·	·	·		1	•	•		•	•	•	·	·	·	·	·	·	·	·	·	•			•	•	•	·	·	•	·	·	·	·	·	•	•	·	·	·
•	•		ťε	as	st	e	\vec{r}	×	•	•	•	•	,	-		\sum	5	• •	•	•	•	•	•	•	•	•	,	•	•	•	•	ł		\geq	Ś		•	•	•	•	,	•	-		e	d)	Ś		
														L	-	IE	31	JF														L		0	B	Ú	F												
·	·	·	•	•	·	·	·	·	·	·	·	·	·	·	·	•	•	• •	•	·	·	·	·	·	·	·	·	·	·	·	•	•	• •	•	•	•	·	·	·	·	·	·	·	·	·	·	·	·	·
·	·	·	۰.	•	·	·	·		·	·	·	·	•	·	·	·	•	• •	•	·	·	۳	·	·	·	·	•	·	·	•	•	•	• •	•	•		·	·	·	·	•	·	·	·	·	۳	·	·	·

11. ábra

Ahhoz, hogy a projektust le tudjuk fordítani, össze kell kötni a *taster* és *led* változókat a Basys 2 lapon található FPGA lábaival. Ezt az ucf fájlal tudjuk megtenni.

Jobb kattintás a projekt nevén -> New Source (4. ábra)

Kiválasztani az Implementation constrait file fájlt és megadni az ucf fájl nevét. (12. ábra).

> New Source Wizard	
Select Source Type Select source type, file name and its location. BMM File ChipScope Definition and Connection File File File File File Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Dackage VHDL Test Bench Embedded Processor	File name: Basys2 Location: D:\Test
More Info	Next Cancel

12. ábra

A Next, majd Finish gombra kattintani. A frissen megnyílt, üres ucf fájlba be kell írni a 13. ábrán látható utasításokat.



Kattintani a test.sch-re (14. ábra).



14. ábra

A 14. ábrán a bekeretezett három munkalépést (process) el kell végezni, ahhoz hogy programozni lehessen az FPGA chippet.

A Proces Synthesize lépés a kiválasztott FPGA chipphez illesztett netlistává alakítja át a Schematic fájlt.

A Proces Implement Design a kiválasztott FPGA chippel beolvasható fizika alakra hozza a netlistát.

A Proces Generate Programing File a fizikai alakot ".bit" alakban lementi. Ez az alak JTAG programozóval beprogramozható az FPGA chipbe. Ez a munkalépés a .bit fájlba beírja az FPGA chip programozása során használt órajel forrására vonatkozó adatokat is (15. ábra).

Jobb egér kattintás a Generate Programming File -> Process Properties.

Process Properties - Startup Options			X
Category	Switch Name	Property Name	Value
General Options Configuration Options	-g StartUpClk:	FPGA Start-Up Clock	CCLK 💌
Startup Options	-g DonePipe:	Enable Internal Done Pipe	CCLK Uker Clock
Readback Options	-g DONE_cycle:	Done (Output Events)	JTAG Clock
	g GTS_cycle:	Enable Outputs (Output Events)	Default (5) 💌
	-g GWE_cycle:	Release Write Enable (Output Events)	Default (6) 🔹
	-g LCK_cycle:	Wait for DLL Lock (Output Events)	Default (NoWait) 💌
	-g DriveDone:	Drive Done Pin High	
	Proper	ty display level: Standard 💌 🔽 Disp	lay switch names Default
		OK Cancel	Apply Help

15. ábra

Kattintson a Start Options-ra az ablak bal oldalán, majd a jobb oldalon az első sorban levő legördülő listából kiválasztani az órajel forrását, a következők szerint:

- JTAG Clock, amennyiben az FPGA chippet JTAG programozóval programozzuk,
- User Clock, amennyiben az FPGA chippet külső oszcillátor segítségével programozzuk,

• CCLK, amennyiben az FPGA chippet SPI vonalon keresztül, külső memória segítségével programozzuk.

Az órajel forrás beállítása után kettőt kell kattintani a Generate Programming File tételre. Ekkor megkezdődik a bit fájlba történő fordítás (compille). Amennyiben a fordítás hiba nélkül, sikeresen lefut, minden tétel mellett egy zöld körben levő "pipa" fog megjelenni (16. ábra).



16. ábra

A Basys 2 lap programozása az Impact alkalmazás segítségével

A Basys 2 lap rendelkezik beépített USB JTAG programozóval. A lapot össze kell kötni a PC számítógéppel és el kell indítani az Impact alkalmazást. Új projekt létrehozásakor, az Impactban a JTAG programozó lehetőséget kell választani (17. ábra).

😵 Welcome to iMPACT	x
Please select an action from the list below	
 Configure devices using Boundary-Scan (JTAG) 	
Automatically connect to a cable and identify Boundary-Scan chain 💌	
Prepare a PROM File	
Prepare a System ACE File	
Prepare a Boundary-Scan File	
SVF 🚽	
OK	

17. ábra

A lappal való sikeres csatlakozás után meg fog jelenni a felismert FPGA chippek és memóriák képe (18. ábra). Ebben a példában az XC3S250E az FPGA chip és az XCF02S a flash memória. Ez utóbbiba helyezhető el a lefordított .bin fájl, amellyel az FPGA chippet kell felprogramozni.



18. ábra

Kettős kattintás az FPGA ikonra, ami hatására megjelenik egy ablak, amelyben ki tudjuk választani a programozni kívánt ".bin" fájlt. Ez után jobb kattintás az FPGA chip ikonjára és kiválasztani a **Program** lehetőséget.

A Basys 2 lap programozása az Adept alkalmazás segítségével

A Basys 2 lap olyan USB JTAG programozóval rendelkezik, mely használatához a Diligent vállalat külön alkalmazást is kifejlesztett, Adept 2 néven (19. ábra). Az alkalmazás ingyenesen letölthető a következő címről: <u>https://reference.digilentinc.com/reference/software/adept/start?_ga=2.56765037.632182999.1555276609-998963330.1555276609</u>

🛕 Digilent Adept	x
BASYS2 Connect: Basys2 Product: Basys2 - 250	•
Config Test Register I/O File I/O I/O Ex Settings	
FPGA ×C3S250E	
PROM XCF02S Browse Program	
Initialize Chain 2	
Initializing Scan Chain Found device ID: f5045093 Found device ID: 11c1a093 Initialization Complete.	*
Device 1: XC3S250E Device 2: XCF02S	-

19. ábra

Az FPGA chip programozásának lépései:

- 1. a legördülő listából kiválasztani a Basys 2 lapot,
- 2. az Initialize Chain-ra kattintani,
- 3. a Browse gombra kattintani és kiválasztani a kívánt .bit fájlt,
- 4. a **Program** gombra kattintani.