# Kreiranje Verilog projekta u Xilinx ISE za Digilent Basys 2 FPGA ploču

Xilinx ISE 14.7 je poslednja verzija softvera koja podražava Spartan 3 i Spartan 6 čipove i može se besplatno preuzeti sa linka:

https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools.html U nastavku su opisani postupci kreiranja novog projekta.

File -> New project

🍃 New Project	Wizard
Create New Pro	ject
Specify project location	n and type.
Enter a name, location	ons, and comment for the project
Name:	Test
Location:	D:\Test\
Working Directory:	D:\Test\
Description:	
Select the type of to	p-level source for the project
Top-level source typ	be:
HDL	
Schematic	
Mor NGC/NGO	

Slika 1 Prozor za izbor naziva i direktorijuma projekta

U polju Name zadaje se ime projekta. U polju Location navodi se direktorijum u kojem će projekat biti sačuvan. U polju Top-level source type biramo HDL ako koristimo programski jezik Verilog ili VHDL. Da bi uopšte bilo moguće programirati FPGA moramo znati tačan tip i kućište čipa. U slučaju Basys 2 ploče radi se o Spartan 3E familiji, XC3S250E FPGA čipu u CP132 kućištu (slika 2).

New Project Wizard			
roject Settings			
pecify device and project properties. elect the device and design flow for the pr	oject		
Property Name	Value		
Evaluation Development Board	None Specified	-	1
Product Category	All	-	1
Family	Spartan3E	•	
Device	XC3S250E	•	
Package	CP132	•	
Speed	-4	•	
Top-Level Source Type	HDL		1
Synthesis Tool	XST (VHDL/Verilog)	•	
Simulator	ISim (VHDL/Verilog)	•	
Preferred Language	Verilog	•	
Property Specification in Project File	Store all values	•	
Manual Compile Order			
VHDL Source Analysis Standard	VHDL-93	•	
Enable Message Filtering			

#### Slika 2 Postavke FPGA čipa

Nakon podešavanja parametara, kliknuti na dugme Next i zatim na dugme Finish. Ukoliko su parametri tačno unešeni u gornjem levom uglu će se pojaviti naziv projekta i korišćeni FPGA čip kao na slici 3.

File	Projec Edit	t Navig View	ator (P.20 Project	- (Source	D:\Test\1 Process	Fest	
	<b>è</b> .	Ø	S .	Ð Ð	×   10	0	
Design	1				↔□₽	×	
r V	/iew: 🧕	) 🔯 In	nplementat	ion 🔘 🚟	Simulatio	n	
	lierarc	hy		-		*	
<u>.</u>	) ( <b>)</b>	Test xc3s25(	)e-4cp132			ш	
<u> </u>			Empt	y View	l	-	
9	Imply view         Imply view						
		using th from th using th Librarie	he toolbar a he Project n he Design, es panels.	at left, com nenu, and l Files, and	imands by		
		using the from the using the Libraries	he toolbar a he Project n he Design, es panels.	at left, com nenu, and l Files, and	imands by	•	

Slika 3 Xilinx ISE sa podešenim parametrima projekta

### Dodavanje verilog modula i ucf fajla u projekat

Desni klik na naziv projekta -> New source (slika 4).



Slika 4 U prozoru izabrati Verilog module i upisati ime pod kojim će biti sačuvan fajl (slika 5).

New Source Wizard	
Select Source Type Select source type, file name and its location. Select source type, file name and its location. IP (CORE Generator & Architecture Wizard) Schematic User Document Verilog Module Verilog Test Fixture VHDL Module VHDL Library VHDL Library VHDL Package VHDL Test Bench Embedded Processor	File name: test  Location: D:\Test Add to project
More Info	Next Cancel

Slika 5

57

Klikom na dugme Next dobijamo prozor u kome podešavamo naziv modula, ulazne i izlazne portove. Na slici 6 je naveden primer gde modul ima ime test, jedan ulazni port pod imenom taster i jedan izlazni port pod imenom led.

O New Source Wizard						x
Define Module Specify ports for module. Module name test						
Port Name	Directio	n	Bus	MSB	LSB	-
taster	input	-				
led	output	-				
	input	-				
	input	-				
	input	-				Ξ
	input	-				
	input	-				
	input	-				
	input	-				
	input	-				
	input	-				-
More Info				Next	Cancel	

Slika 6

Nakon unošenja podataka kliknuti na dugme Next, a zatim na dugme Finish. Na slici 7 je prikazan generisan verilog modul.

JSE Project Navigator (P.20131013) - D:\Test\Test	t.xise - [tes	t.v]			Research propriet - They I
File Edit View Project Source Process	Tools	Window	Layout	Help	
o o   X 🗊 🖓 🐇 🖟 🖬 🖌 🗅	l »	🙊 🛹 🕫	Ø P	2 🔊	5a d d d 🥬 💦
Design ↔ □ ₽ ×		1 `tin	nescale	1ns / 1	ps
View:  Vi	Þ	2 ////	//////////////////////////////////////		///////////////////////////////////////
J Hierarchy	Ξ	4 // 1	Enginee	r:	
👔 🖳 🔄 Test	2	5 //	-		
xc3s250e-4cp132		6 // (	Create	Date:	19:24:48 04/14/2019
	=	7 // 1	Design	Name:	
<b>a</b>	_	8 // 1	Project	Name: Name:	test
ding	<u> </u>		farget	Devices:	
	96	11 // :	Cool ve	rsions:	
		12 // 1	Descrip	tion:	
-	70-	13 //			
	*	14 // 1	Depende	ncies:	
	0				
No Processes Running		10 // 1	Revisio	n 0.01 -	File Created
Bit Decementaria		18 // 1	Additio	nal Comm	lents:
Ti Processes: test		19 //			
Design Summary/Reports	1	20 ////	//////	////////	111111111111111111
Create Schematic Symbol	1	21 modu	ile tes	t (	
View Command Line Log		22	input	taster,	
View HDL Instantiation Te		23	output	Ted	
🕀 🎾 User Constraints		25			
🖶 💽 Synthesize - XST		26			
Implement Design		27 endr	nodule		
Configure Target Device	1	28			
🖽 👷 Configure larget Device					

Modul se definiše navođenjem komande **module** nakon koje sledi otvorena zagrada, navođenje ulaznih i izlaznih portova, gde se navođenje portova završava zatvorenom zagradom nakon koje sledi tačka zarez (primetiti da nakon poslednjeg navedenog porta, pre zatvaranja zagrade ne dolazi zarez). Nakon ovoga sledi pisanje sadržaja verilog modula koji se završava sa komandnom reči **endmodule**.

U cilju demonstracije programiranja FPGA čipa u verilog modul će biti dodata komanda **assign** sa kojom će se povezati promenljiva taster sa promenljivom led (slika 8). Prilikom programiranja FPGA prekidač SW0 na Basys 2 ploči treba da upravlja sa stanjem LD0 led diode.

module test(
input wire taster,
output wire led
);
<pre>assign led = taster;</pre>
endmodule

Slika 8

Potrebno je primetiti da samo ispravno unesene komande poprimaju plavu boju teksta.

Da bi projekat mogao da se kompajlira potrebno je povezati promenljive taster i led sa FPGA pinovima na Basys 2 ploči. Ovo se radi preko ucf fajla.

Desni klik na naziv projekta -> New source (slika 4).

Izabrati opciju Implementation constrait file i zadati ime ucf fajlu (slika 9).

<ul> <li>New Source Wizard</li> <li>Select Source Type</li> <li>Select source type, file name and its location.</li> <li>BMM File</li> <li>ChipScope Definition and Connection File</li> <li>Implementation Constraints File</li> <li>IP (CORE Generator &amp; Architecture Wizard)</li> <li>MEM File</li> <li>Schematic</li> <li>User Document</li> <li>Verilog Module</li> <li>Verilog Test Fixture</li> <li>VHDL Module</li> <li>VHDL Library</li> <li>VHDL Test Bench</li> <li>Embedded Processor</li> </ul>	File name: Basys2 Location: D:\Test Add to project
More Info	Next Cancel

Kliknuti na dugme Next, a zatim na dugme Finish. U otvorenom ucf fajlu upisati komande prema slici 10.



Slika 10

Kliknuti na test.v kao na slici 11.





Na slici 11 su uokvirena tri procesa koja se moraju kompletirati kako bi se mogao programirati FPGA čip. Proces Synthesize pretvara verilog fajlove u netlistu koja je prilagođena izabranom tipu FPGA čipa. Proces Implement Design konvertuje dobijenu logičku netlistu u fizički format koji se može učitati u izabrani FPGA čip. Proces Generate Programing File dobijeni fizički format čuva kao .bit fajl koji se može uprogramirati FPGA čip korišćenjem JTAG programatora. Proces Generate Programing File u .bit fajl upisuje i podatke o izvoru klok signala pri programiranju FPGA čipa (slika 12).

Desni klik na Generate Programming File -> Process Properties.

Process Properties - Startup Options				×
Category	Switch Name	Property Name	Value	
General Options Configuration Options	-g StartUpClk:	FPGA Start-Up Clock	CCLK	•
	-g DonePipe:	Enable Internal Done Pipe	CCLK User Clock	-1
	-g DONE_cycle:	Done (Output Events)	JTAG Clock	
	-g GTS_cycle:	Enable Outputs (Output Events)	Default (5)	-
	-g GWE_cycle:	Release Write Enable (Output Events)	Default (6)	-
	-g LCK_cycle:	Wait for DLL Lock (Output Events)	Default (NoWait)	-
	-g DriveDone:	Drive Done Pin High		
	Proper	ty display level: Standard 💌 🔽 Disp	lay switch names Default	
		OK Cancel	Apply Help	

Slika 12

Kliknuti na opciju Startup Options sa desne strane prozora i na desnoj strani u prvom redu iz padajućeg menija izabrati opciju prema:

ako se FPGA čip programira preko JTAG programatora izabrati JTAG Clock,

ako se FPGA čip programira korišćenjem eksternog oscilatora izabrati User Clock,

ako se FPGA čip programira preko spi linije korišćenjem spoljne memorije izabrati CCLK.

Nakon podešavanja izvora klok signala izvršiti dvoklik na stavku Generate Programming File da bi se započeo proces kompajliranja bit fajla. Ukoliko se proces kompajliranja završi bez greške pored svake stavke postojaće zeleni krug sa kvačicom kao na slici 13.



Slika 13

# Programiranje Basys 2 ploče korišćenjem programa Impact

Basys 2 ploča ima ugrađen usb JTAG programator. Potrebno je spojiti ploču sa PC računarom i pokrenuti Impact. Pri kreiranju novog projekta u Impact-u potrebno je izabrati opiju za JTAG programator (slika 14).

Welcome to iMPACT
Please select an action from the list below
Configure devices using Boundary-Scan (JTAG)
Automatically connect to a cable and identify Boundary-Scan chain 💌
Prepare a PROM File
Prepare a System ACE File
Prepare a Boundary-Scan File
SVF 👻
OK

Slika 14

Nakon uspešnog povezivanja sa pločom pojaviće se prikaz identifikovanih FPGA čipova i memorija (slika 15). U ovom primeru XC3S250E je FPGA čip, a XCF02S je flash memorija u koju se može smestiti program za programiranje FPGA čipa.



Slika 15

Izvršiti dvoklik na FPGA čip, nakon čega će se otvoriti prozor u kojem treba izabrati kompajlirani .bit fajl. Nakon toga desni klik na FPGA čip i izabrati opciju **Program**.

# Programiranje Basys 2 ploče korišćenjem programa Adept

Basys 2 ploča ima ugrađen usb JTAG programator za koji je kompanija Digilent razvila poseban program pod nazivom Adept 2 (slika 16). Program se može besplatno skinuti sa linka: <u>https://reference.digilentinc.com/reference/software/adept/start?\_ga=2.56765037.632182999.1555276609-998963330.1555276609</u>

🛕 Digilent	Adept		-				
	S	′S2 <sup>™</sup>		Connect: B Product: B	asys2 asys2 - 250	1 -	
Config	Test	Register I/O	File I/O I/	0 Ex Se	ettings		_
FPI ×C3S	<b>GA</b> 250E			•	Browse	4 Program	
PR( XCF	<b>DM</b> 1025			•	Browse	Program	
			Initialize Cł	nain	2		
Initializing S Found devic	can Chain ce ID: f5045	;093					•
Initialization Device 1: Device 2:	Complete. XC3S250E XCF02S	1035					
						•	-
							_

Slika 16

Koraci za programiranje FPGA čipa:

- 1) iz padajućeg menija izabrati Basys 2 ploču
- 2) kliknuti na Initialize Chain
- 3) kliknuti na dugme **Browse** i izabrati kompajlirani bit fajl

kliknuti na dugme **Program**