

Predmet: DIGITALNA ELEKTRONIKA
Predmetni nastavnik: Dr Nándor Burány

4. semestar
Broj časova: 2+2

II. DEO
DIGITALNO PROJEKTOVANJE
PRIMENOM SSI I MSI FUNKCIONALNIH
JEDINICA
(TRADICIONALNO PROJEKTOVANJE)

- **Kombinacione** mreže
- **Sekvencijalne** mreže
- **Mešovite** mreže

2.a VRSTE DIGITALNIH MREŽA

- Skup digitalnih kola za rešavanje **složenog zadatka** se zove **digitalna mreža**.
- Obično se razlikuju dve kategorije mreža, čisto **kombinacione** mreže i **sekvencijalne** mreže.
- Kombinacije ovih mreža možemo zvati **mešovitim** mrežama.

3

2.b OSOBINE KOMBINACIONIH MREŽA

- Kod ovih digitalnih kola **logičko stanje izlaza (Q_i) zavisi samo od trenutnih vrednosti signala na ulazu (X_i)**, prema odgovarajućoj logičkoj funkciji.
- **Izlazni signali ne zavise od redosleda** promena ulaznih signala, od **smera** promene i od logičkih vrednosti u prethodnim intervalima.



2.c OSOBINE KOMBINACIONIH MREŽA

- Sekvencijalna kola (3. glava) ispoljavaju drugačije ponašanje.
- Proizvode se **SSI i MSI kombinacione mreže** skoro u svakoj familiji kola. Sa ovim kolima se i danas mogu izgraditi složeni digitalni sistemi ali je taj pristup zastareo.
- **Unutrašnja struktura VLSI kola** (mikrokontroleri, PLD) takođe **sadrži ove kombinacione elemente**. Pri njihovom opisivanju koriste se osnovni pojmovi koji se ovde obrađuju.

2.d KOMBINACIONE MREŽE

Postoje sledeće **vrste** kombinacionih kola:

1. Kola za sprezanje
2. Logičke kapije
3. Dekoderi
4. Koderi
5. Pretvarači koda
6. Multipleksori
7. Demultipleksori

2.1 KOLA ZA SPREZANJE

Ova kola obavljaju sledeće **zadatke**:

- 1. Prilagođenje impedanse** (pojačanje struje)
- 2. Prilagođenje logičkog nivoa** (pojačanje ili smanjenje napona)
- 3. Invertovanje**
- 4. Upotreba zajedničkih vodova.**

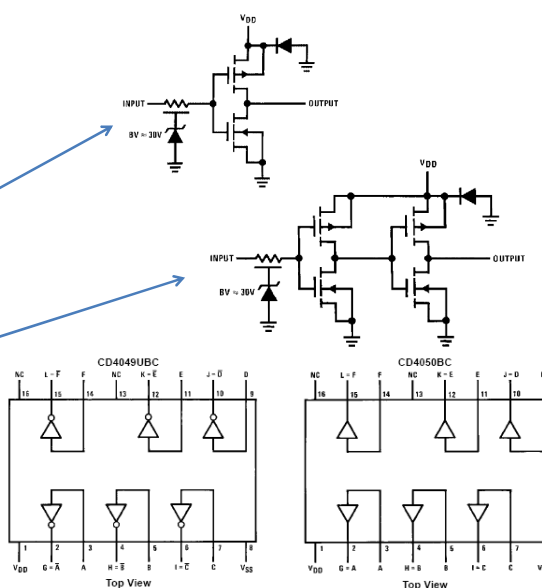
2.1.1a PRILAGOĐENJE IMPEDANSE

- **Velika ulazna i mala izlazna otpornost**
- Mala ulazna struja, velika opteretljivost izlaza

- **Unutrašnja struktura** invertujućeg kola za sprezanje (logički invertor u CMOS izvedbi)

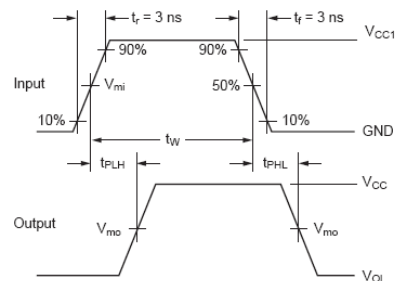
- **Neinvertujuće kolo** za sprezanje (bafer) (CMOS izvedba)

- **Primer:** **CD4049/4050** -šest invertujućih/neinverujućih kola za sprezanje u kućištu DIL16 (raspored izvoda)

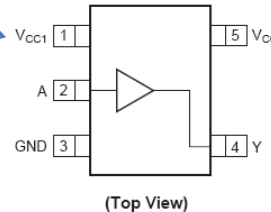


2.1.1.b PRILAGOĐENJE NIVOVA

- Prenose se digitalni signali između **dva sistema sa različitim naponima napajanja** (V_{CC1} , V_{CC}) .
- Usaglasa se logički nivoi na pojedinim stranama sa odgovarajućim naponom napajanja.



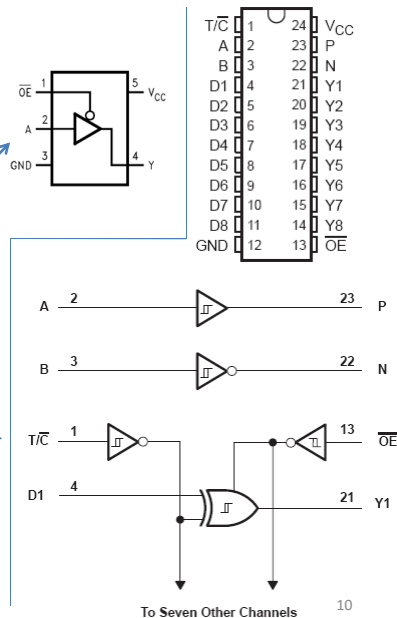
- Primer: Fairchild FXLP34
- $1V < V_{CC}, V_{CC1} < 3,6V$
- $0 < V_{IL} < 0,35V_{CC1}$
- $0,65V_{CC1} < V_{IH} < V_{CC1}$
- $V_{OL} \approx 0V$
- $V_{OH} \approx V_{CC}$



9

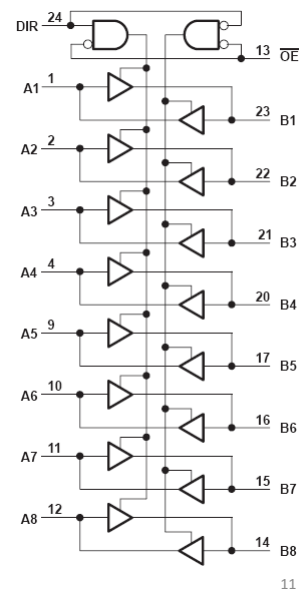
2.1.2 KOLA ZA SPREZANJE SA TRI STANJA

- Signal sa ulaza (A) dolazi na izlaz (Y) samo ako je $/OE=0$.
- Ako je $/OE=1$, izlaz je u trećem stanju (stanje velike impedanse)
- Primer 1.: **NC7SZ125** TinyLogic UHS Buffer with 3-STATE Output
- Kontrola (OE) može biti aktivna ili za niski ili za visoki logički nivo.
- Po potrebi može da se koristi invertujuće ili neinvertujuće kolo za spezanje.
- Može se ugraditi histeresis u prenosnu karakteristiku.
- Primer 2.: **SN74LV8151** 10-bit universal Schmitt-trigger buffer with 3-state output
- U zavisnosti od kontrolnog signala (T/C) signali se invertuju ili ne invertuju.



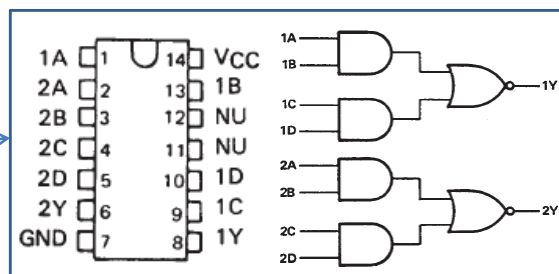
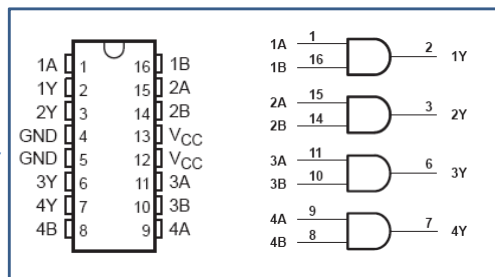
2.1.3 DVOSMERNNA KOLA ZA SPREZANJE

- Dve signalne linije se povežu pomoću dva kola za sprezanje.
- U zavisnosti od logičkog nivoa signala DIR, **signali se prenose u jednom ili drugom smeru** ($A \rightarrow B$ ili $B \rightarrow A$).
- Ako je $\overline{OE} = 1$, sa obe strane se dobija velika impedansa (i A i B).
- Primer: **74AC11245** Octal bus transceiver with three state outputs (Texas Instruments)



2.2 LOGIČKE KAPIJE

- Realizuju **proste logičke funkcije**: I, ILI, NI, NILI, isključivo ILI...
- Primer 1.: **74AC11008**, **četiri I kola u jednom kućištu**.
- Postoje i integrisana kola sa po jednom kapijom u kućištu (**LittleLogic**-Texas Instruments, **TinyLogic**-Fairchild).
- Mogu se naći i integrisana kola sa kombinacijom različitih vrsta logičkih kapija.
- Primer 2.: **SN74LS51** **AND-OR-INVERT** gates.



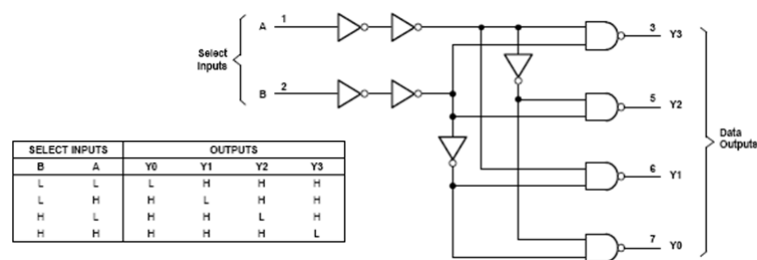
12

2.3. DEKODERI

- Više ulaza (n) i više izlaza ($\leq 2^n$).
- Ulazi su **binarno kodirani brojevi**.
- Pri svakom kodu (binarnoj kombinaciji) na ulazu **aktivira se druga linija na izlazu**.

n DEKODER 2^n

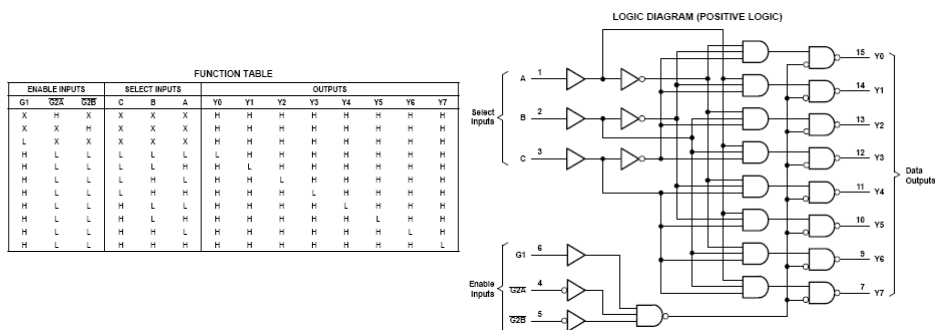
- Primer: **SN74LVC1G139**, običan (potpuni) dekodер 2/4:



13

2.3.1 POTPUNI DEKODER

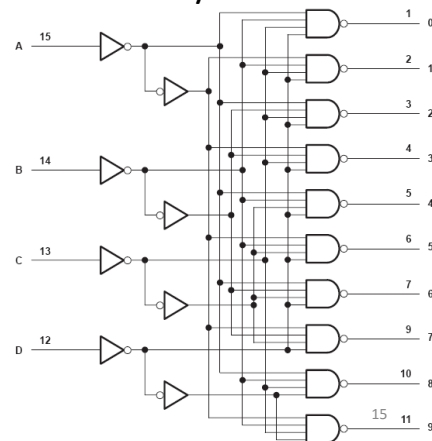
- Na svaku varijaciju ulaza aktivira se **jedan ali samo jedan izlaz**.
- Primer: **SN54LVC138A**, potpuni dekodер 3/8.
- Upotrebom ulaza za dozvolu može se proširiti kapacitet ili se može ostvariti demultipleksor (poglavlje 2.7).



2.3.2 NEPOTPUNI DEKODER

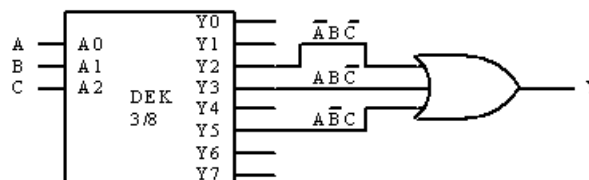
- U slučaju da **nema potrebe za svih mogućih 2^n izlaza...**
- Postoji mogućnost za minimizaciju.
- Najčešći slučaj: nepotpuni dekodera 4/10.
- Primer: **SN74HC42**
(bez minimizacije)

FUNCTION TABLE														
NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	L	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	L	H	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
Invalid	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H



2.3.3 OSTVARIVANJE LOGIČKIH FUNKCIJA PRIMENOM DEKODERA

- Svaki izlaz dekodera odgovara **jednom logičkom proizvodu** ulaznih promenljivih.
- Sabiranjem odgovarajućih logičkih proizvoda pomoću jednog ILI kola može se realizovati proizvoljna logička funkcija.
- Primer: $Y = \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C$



16

2.4 KODER

- Računari i drugi digitalni uređaji obrađuju **binarno kodirane informacije**.
- Kôd se sastoji od izvesnog broja (n) logičkih signala (bit).
- Sa n bita može se kodirati maksimalno 2^n ulaznih signala.



17

2.4.1 POTPUNI KODER

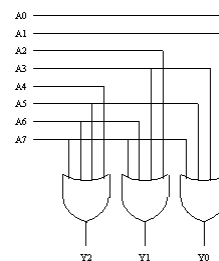
- 2^n ulaza, n izlaza
- **Problematična je primena** jer se dobije pogrešan kod kada se istovremeno aktivira više od jednog ulaza.
- Ne proizvodi se zasebno takva komponenta!
- Primer: potpuni koder 8/3.

A7	A6	A5	A4	A3	A2	A1	A0	Y2	Y1	Y0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

$$Y0 = A1 + A3 + A5 + A7$$

$$Y1 = A2 + A3 + A6 + A7$$

$$Y2 = A4 + A5 + A6 + A7$$



18

2.4.2 NEPOTPUNI KODER

- $<2^n$ ulaza, n izlaza
- I ovo kolo je **problematično** jer se dobije pogrešan kod kada se istovremeno aktivira više od jednog ulaza.
- Ne proizvodi se ovakvo kolo zasebno!
- Primer: koder 10/4.

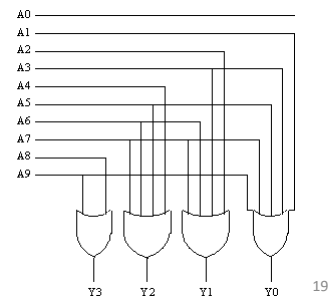
A _i	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

$$Y_0 = A_1 + A_3 + A_5 + A_7 + A_9$$

$$Y_1 = A_2 + A_3 + A_6 + A_7$$

$$Y_2 = A_4 + A_5 + A_6 + A_7$$

$$Y_3 = A_8 + A_9$$



2.4.3.a PRIORITETNI KODER

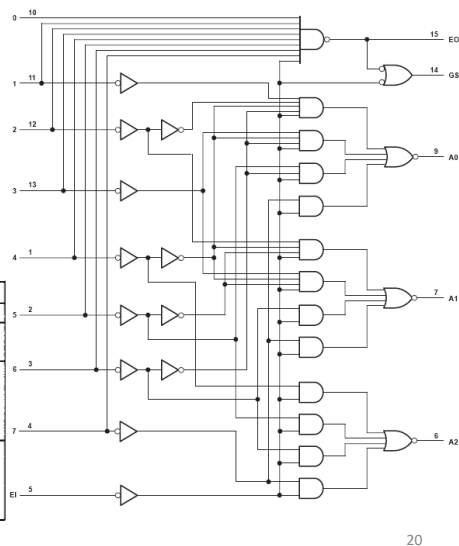
- Nema problema i ako se **istovremeno aktivira više od jednog ulaza**, uzima se u obzir ulaz sa najvećim prioritetom (sa najvećim rednim brojem).
- Primer: **SN74HC148**, prioritetni koder 8/3.

Input									Output				
E _i	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	G _S	Q ₂	Q ₁	Q ₀	E ₀
0	X	X	X	X	X	X	X	X	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	X	X	X	X	X	X	X	1	1	1	1	0
1	0	1	X	X	X	X	X	X	1	1	1	0	0
1	0	0	1	X	X	X	X	X	1	1	0	1	0
1	0	0	0	1	X	X	X	X	1	1	0	0	0
1	0	0	0	0	1	X	X	X	1	0	1	1	0
1	0	0	0	0	0	1	X	X	1	0	1	0	0
1	0	0	0	0	0	0	1	X	1	0	0	1	0
1	0	0	0	0	0	0	0	1	1	0	0	0	0

X = Don't Care

Logic 1 ≡ High

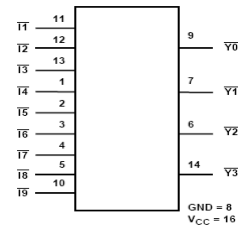
Logic 0 ≡ Low



20

2.4.3.b PRIORITETNI KODER

- I kod prioritetskog koda može da se namesti broj ulaza manji od 2^n .
- Primer: **SN74HC147**, prioritetni koder 10/4.



INPUTS									OUTPUTS			
I1	I2	I3	I4	I5	I6	I7	I8	I9	Y3	Y2	Y1	Y0
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = High Logic Level, L = Low Logic Level, X = Don't Care

21

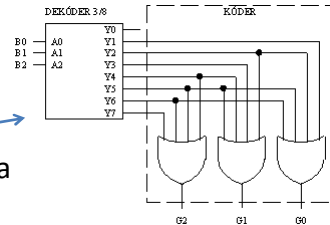
2.5 PRETVARAČ KODA

- Pretvara kod iz **jednog kodnog sistema u drugi**.
- Standardno rešenje**: kaskadna veza dekodera i koda.
- Redovno postoji **prostije rešenje**:
 - hardver dobijen minimizacijom logičkih funkcija
 - softverska metoda, ištavanje iz tabele.

22

2.5.1 PRETVARAČ PRIR. BINARNOG KODA U GRAY-OV KOD

- Kaskadnom vezom dekodera sa koderom dobija se sledeće rešenje:



Priradni binarni kod B2B1B0	Gray-ov kod G2G1G0
000	000
001	001
010	011
011	010
100	110
101	111
110	101
111	100

- Logičke jednačine na bazi tabele su:

$$G_2 = B_2 \bar{B}_1 \bar{B}_0 + B_2 \bar{B}_1 B_0 + B_2 B_1 \bar{B}_0 + B_2 B_1 B_0$$

$$G_1 = \bar{B}_2 B_1 \bar{B}_0 + \bar{B}_2 B_1 B_0 + B_2 \bar{B}_1 \bar{B}_0 + B_2 \bar{B}_1 B_0$$

$$G_0 = \bar{B}_2 \bar{B}_1 B_0 + \bar{B}_2 B_1 \bar{B}_0 + B_2 \bar{B}_1 B_0 + B_2 B_1 \bar{B}_0$$

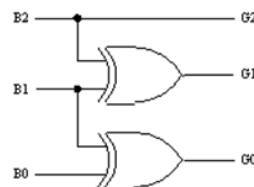
- Minimizacijom logičkih funkcija dobijaju se prostiji izrazi:

$$G_2 = B_2$$

$$G_1 = B_2 \oplus B_1$$

$$G_0 = B_1 \oplus B_0$$

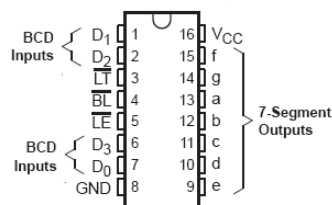
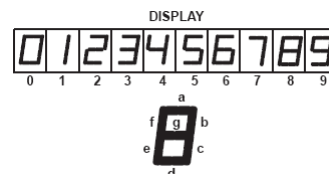
- Prostija mreža konstruisana na bazi minimiziranih logičkih funkcija:



23

2.5.2 PRETVARAČ KODA BCD/7 SEGMENTATA

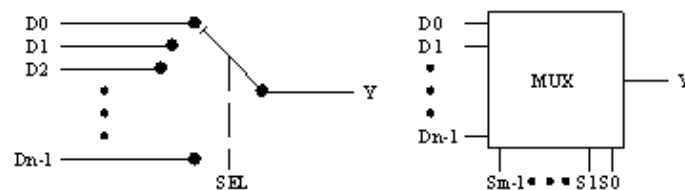
- Sedmosegmentni indikator služi za **indikaciju cifara** decimalnog brojnog sistema.
- Primer: **SN74HCT4511** BCD-to-7 segment latch/decoder/driver.
- Tabela (postoje i kontrolni ulazi).
- Može se minimizirati.
- Raspored nožica.



INPUTS								OUTPUTS								DISPLAY
LE	BL	LT	D3	D2	D1	D0		a	b	c	d	e	f	g		
X	X	L	X	X	X	X		H	H	H	H	H	H	H		8
X	L	H	X	X	X	X		L	L	L	L	L	L	L		Blank
L	H	H	L	L	L	L		H	H	H	H	H	H	L		0
L	H	H	L	L	L	H		L	H	H	L	L	L	L		1
L	H	H	L	L	H	L		H	H	L	H	H	L	H		2
L	H	H	L	L	H	H		H	H	H	H	L	L	H		3
L	H	H	L	H	L	L		L	H	H	L	L	L	H		4
L	H	H	L	H	L	H		H	L	H	H	L	L	H		5
L	H	H	L	H	H	L		L	L	H	H	H	H	H		6
L	H	H	L	H	H	H		H	H	H	L	L	L	L		7
L	H	H	H	L	L	L		H	H	H	H	H	H	H		8
L	H	H	H	L	L	H		H	H	H	L	L	H	H		9
L	H	H	H	L	H	L		L	L	L	L	L	L	L		Blank
L	H	H	H	L	H	H		L	L	L	L	L	L	L		Blank
L	H	H	H	H	L	L		L	L	L	L	L	L	L		Blank
L	H	H	H	H	H	L		L	L	L	L	L	L	L		Blank
L	H	H	H	H	H	H		L	L	L	L	L	L	L		Blank
H	H	H	X	X	X	X		†	†	†	†	†	†	†		†

2.6. MULTIPLEKSOR

- Prosleđivanje digitalnih signala (signalni ulazi, $D_0, D_1, \dots, D_{n-1}$) sa više ulaznih linija na jednu izlaznu liniju (Y).
- Radi kao jedan jednopolni višepoložajni prekidač.
- Podrazumeva se da istovremeno može da prenosi samo jedan signal - vrši **vremensko multipleksiranje**.
- Izbor signala koji se prenosi na izlaz u datom momentu se vrši pomoću selekcionih ulaza (S_0, S_1, S_{m-1}).
- Redovno važi $n=2^m$.



25

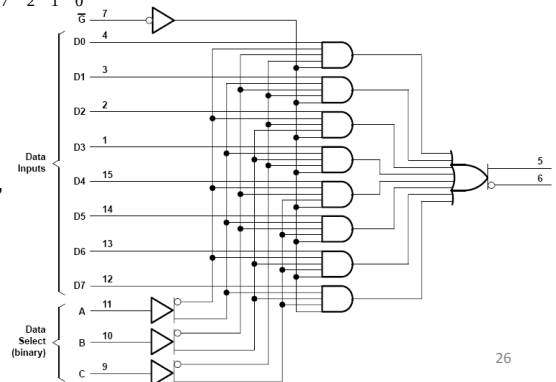
2.6.1 KONSTRUKCIJA DIGITALNOG MULTIPLEKSORA

- Kombinatorna tabela (CD74AC151):
- Oblik logičke funkcije za prost multipleksor 8/1:

$$Y = D_0 \bar{S}_2 \bar{S}_1 \bar{S}_0 + D_1 \bar{S}_2 \bar{S}_1 S_0 + \dots + D_7 S_2 S_1 S_0$$

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	G		
X	X	X	H	L	H
L	L	L	L	D0	$\bar{D0}$
L	L	H	L	D1	$\bar{D1}$
L	H	L	L	D2	$\bar{D2}$
L	H	H	L	D3	$\bar{D3}$
H	L	L	L	D4	$\bar{D4}$
H	L	H	L	D5	$\bar{D5}$
H	H	L	L	D6	$\bar{D6}$
H	H	H	L	D7	$\bar{D7}$

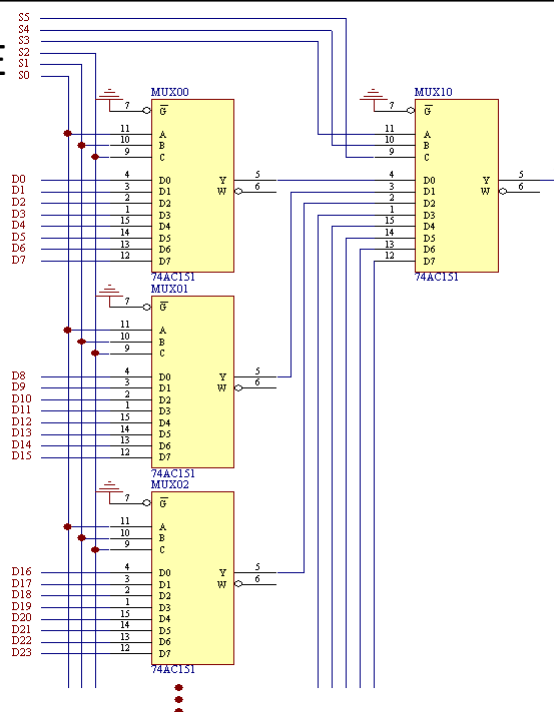
- U tabeli se navodi i jedan kontrolni ulaz (STROBE), koji, bez obzira na ostale ulaze, dovodi nulu na izlaz.
- Formira se i invertovani izlaz.



26

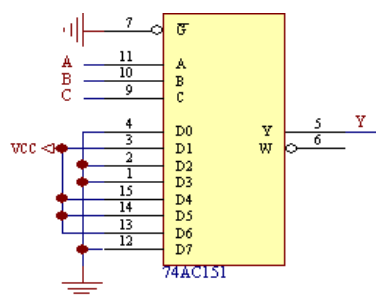
2.6.2 PROŠIRIVANJE MULTIPLEKSORA

- Ne proizvode se multipleksori sa više od 16 ulaza.
- Multipleksiranje većeg broja signala se može obaviti sprezanjem potrebnog broja multipleksora.
- Primer: multipleksor sa $8 \times 8 = 64$ ulaznih kanala.



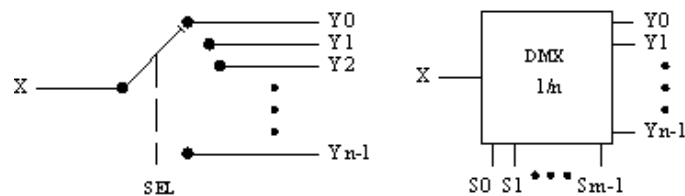
2.6.3 OSTVARIVANJE LOGIČKIH FUNKCIJA PRIMENOM MULTIPLEKSORA

- Logičke promenljive **povezujemo na selekzione ulaze** multipleksora.
- **Na ulaze za podatke** se povezuju one logičke vrednosti koje važe pri datim varijacijama logičkih promenljivih.
- Primer: $Y = \overline{C}\overline{B}A + C\overline{B} + C\overline{B}\overline{A}$
- Funkcija se mora svesti na normalnu formu: $Y = \overline{C}\overline{B}A + C\overline{B}\overline{A} + C\overline{B}A + C\overline{B}\overline{A}$
- Postoji efikasnija metoda (mogu se ostvariti i funkcije četiri promenljive sa istim multipleksorom!)



2.7 DEMULTIPLEKSOR

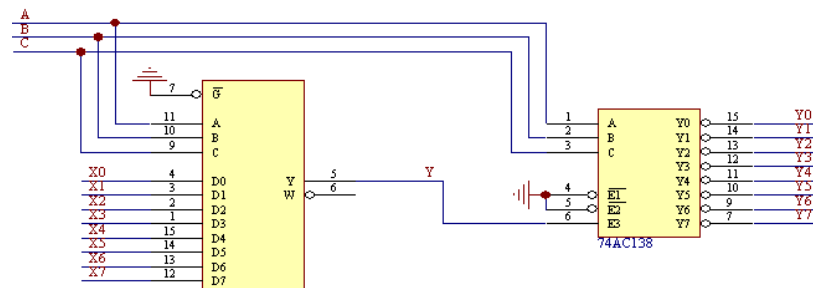
- Prosleđuje **jedan ulazni signal** (X) na **više izlaznih linija** ($Y_0, Y_1 \dots Y_{n-1}$).
- Radi kao jednopolni, višepoložajni prekidač.
- Istovremeno se signal može prosleđivati samo prema jednom od izlaza - smatra se da su na ulazu **vremenski multiplesirani signali**.
- **Izbor signala** koji će se u datom momentu preneti na izlaz određen je selekcionim ulazima (S_0, S_1, S_{m-1}).
- Redovno je $n=2^m$.
- U katalogima redovno se ista komponenta nudi i kao dekodler i kao demultipleksor.



29

2.7.1 PRENOS VIŠE SIGNALA KROZ ZAJEDNIČKI KANAL

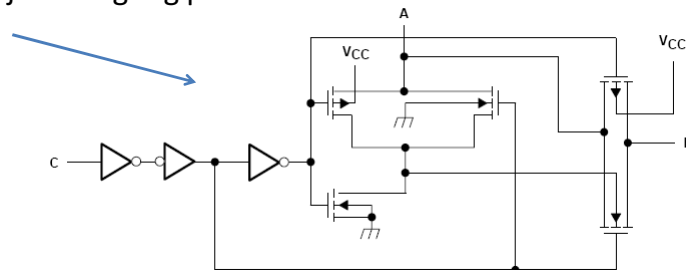
- Kaskadnom vezom multipleksora i demultipleksora može se preneti **više signala kroz zajednički kanal**, po sistemu vremenskog multipleksa.
- Pored signala koji se prenose treba povezati i **selekcione signale** da bi navedeni multipleksor i demultipleksor radili sinhrono.
- U datom primeru, umesto osam signalnih linija se koristi samo četiri. U opštem slučaju potrebno je $m+1(+1)$ linija, gde je $n=2^m$ broj signala koje treba preneti.



30

2.7.2.a ANALOGNI MULTIPLEKSOR/DEMULTIPLEKSOR

- Može da **prenese analogne signale** (naravno, i digitalne).
- Isti elemenat **prenosi signal u oba smera**.
- Sadrži analogne prekidače i dekođer.
- Konstrukcija analognog prekidača:

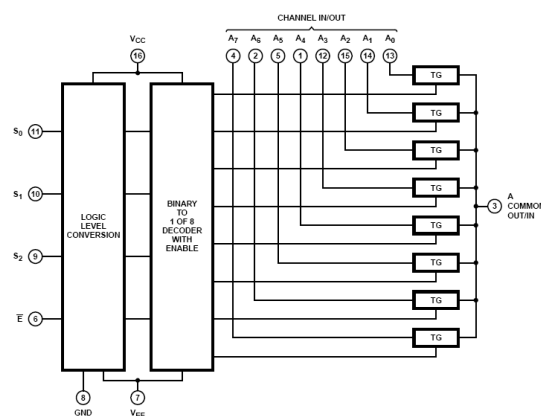


- Povezuje (električno) tačke A i B (mala otpornost).
- C - kontrolni ulaz, C=1 - prekidač provodi.

31

2.7.2.b ANALOGNI MULTIPLEKSOR/DEMULTIPLEKSOR

- Primer: **CD74HC4051**, osmokanalni analogni multipleksor-demultipleksor
- Analognim prekidačima upravlja dekođer 3/8
- Selekcioni ulazi (S0, S1, S2): 0V i 5V.
- Opseg analognog napona: -5V...+5V. ($V_{CC}=5V$, $V_{EE}=-5V$).



32

3.a SEKVENCIJALNE MREŽE

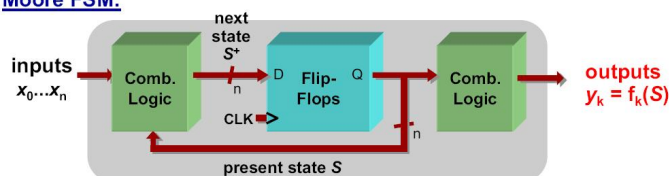
- U pitanju su digitalna **kola sa memorijom** (sposobnost čuvanja informacija)
- Izlazi kola u datom momentu **zavise od trenutnih ulaza, ali zavise i od događaja u prethodnom intervalu** (ulazi u prethodnom intervalu određuju skladištenu informaciju).
- **Logički automati**: tako se zovu pojedine sekvencijalne mreže jer se primenjuju za automatsko upravljanje.
- Engleski naziv: (finite) **state machine**.
- **Memorija** u sekvencijanim kolima je važna ali je redovno **malog kapaciteta** - svega nekoliko bita, pošto se sa n bita može kodirati 2^n (puno) stanja, prema tome može se realizovati mreža sa složenim ponašanjem.

33

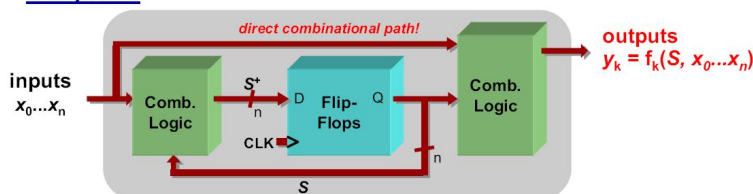
3.b SEKVENCIJALNE MREŽE - STRUKTURA

Pri konstrukciji sekvencijalnih mreža primenjuju se dve strukture:

Moore FSM:



Mealy FSM:



Moore-ova mreža je redovno prostija, dok je Mealy-jeva mreža obično brža.

34

3.c SEKVENCIJALNE MREŽE - TAKT SIGNAL

- **Momenat promene stanja** se redovno sinhroniše sa takt signalom (clock).
- Sinhronizacioni signal je povezan na memorijske elemente.
- Sinhronizacija **nije obavezna ali** dobar deo savremenih digitalnih uređaja koristi sinhronizovane mreže.
- Zahvaljujući sinhronizaciji **eliminišu se mnogi hazardi**.
- Rad sinhronizovanih mreža je mnogo lakše pratiti/sagledati.
- Mealy-jev automat je više podložan hazardu jer su ulazi direktno povezani na ulaze izlaznog kombinacionog kola.

35

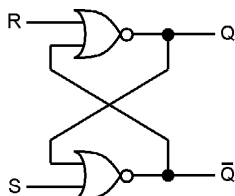
3.1 ELEMENTARNE MEMORIJE

- Potrebne su **za konstrukciju sekvencijalnih mreža**.
- Oni sami su elementarna sekvencijalna kola bez sinhronizacije.
- Informacija se čuva na bazi **pozitivne povratne sprege** - čuvanje traje dok ima napajanja.
- **Upis nove informacije** se može vršiti pri odgovarajućem **nivou** ili odgovarajućoj **ivici** sinhronizacionog signala.

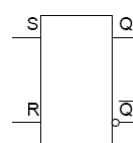
36

3.1.1.a LATCH-EVI - SR LATCH

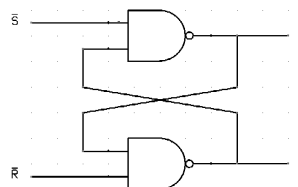
- Elementarne memorije koje **reaguju na logički nivo**.
- SR latch sa **NILI kolima**.



S	R	Q	$\bar{Q}$
0	0	latch	latch
0	1	0	1
1	0	1	0
1	1	0	0



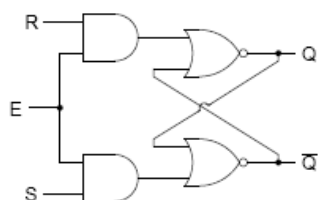
- Nakon prestanka delovanja dve jedinice na ulazu ne može se znati koje stanje će se formirati na izlazu - zato je zabranjeno primeniti takvo upravljanje.
- Slično rešenje **sa NI kolima**, u ovom slučaju upravljanje se vrši sa logičkom nulom.
- U ovom slučaju do neodređenog ponašanja dolazi ako na ulaz dovedemo istovremeno dve nule.



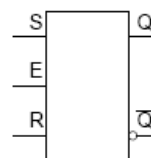
3.1.1.b LATCH-EVI -

SINHRONIZACIJA SR LATCH-A

- Signal **E (enable - dozvola)** određuje kada će doći do promene stanja u latch-u.
- Pripreme se logički nivoi na SR ulazima, zatim se dovede signal za sinhronizaciju (E).
- Ako se pri E=1 promene SR ulazi, izlazi će reagovati na te promene (**transparentni latch**).
- Istovremena pojava dve logičke jedinice na SR ulazima dovodi do **nedefinisane situacije**.



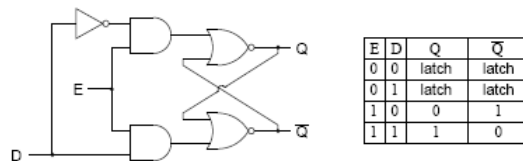
E	S	R	Q	$\bar{Q}$
0	0	0	latch	latch
0	0	1	latch	latch
0	1	0	latch	latch
0	1	1	latch	latch
1	0	0	latch	latch
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0



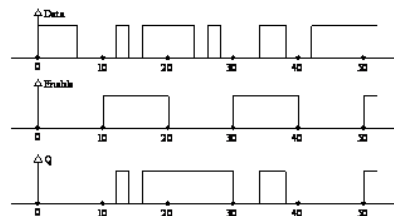
38

3.1.1.c LATCH-EVI - D LATCH

- **Nedefinisana situacija** kod SR lach-a se može razrešiti modifikacijom koja je prikazana na slici.
- U stvarnosti novo kolo ima samo **jedan ulaz** za podatke (D).



- I D latch ima **transparentno** ponašanje.

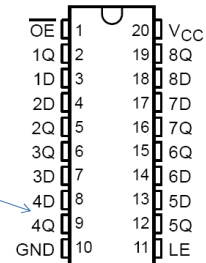
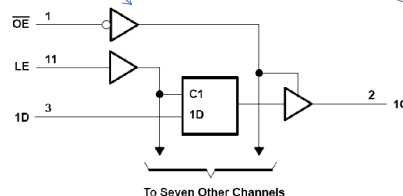


39

3.1.1.d LATCH-EVI - PRIMER

- **SN74AHCT373** - OCTAL TRANSPARENT D-TYPE LATCHES WITH 3-STATE OUTPUTS
- Tablica prelaza, raspored izvoda i logički dijagram.

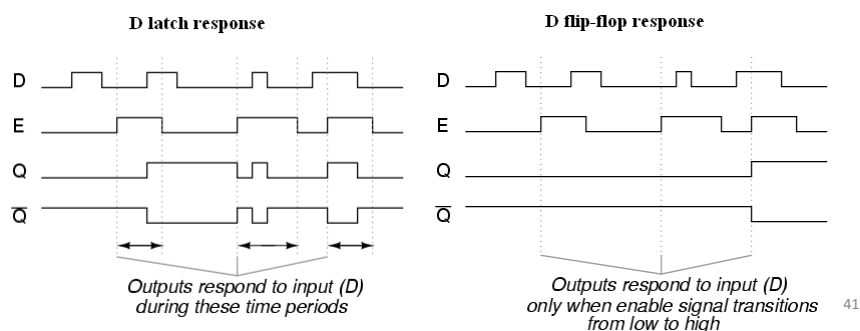
INPUTS			OUTPUT Q
$\overline{OE}$	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z



40

3.1.2.a FLIP-FLOP-OVI

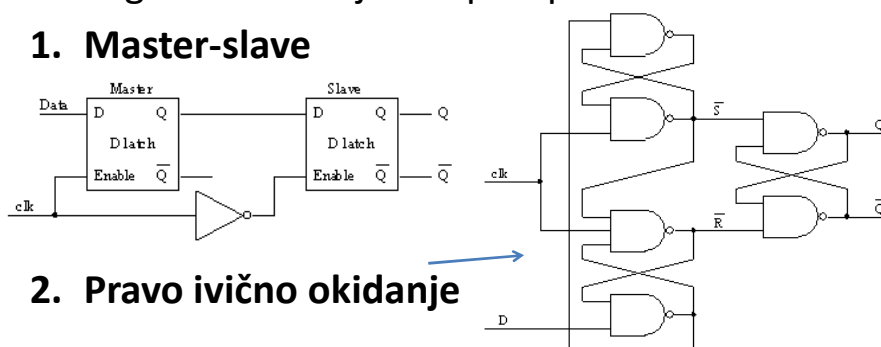
- I flip-flop-ovi su **elementarne memorije**.
- Umesto upravljanja nivoom **upravlja se ivicom**.
- Promena stanja (upis podatka) se vrši pri uzlaznoj (pozitivnoj) ili silaznoj (negativnoj) ivici .
- **Razlika** između D latch-a i D flip-flop-a:



3.1.2.a FLIP-FLOP-OVI - REALIZACIJA OKIDANJA NA IVICU

- Moguće realizacije D flip-flop-a:

1. Master-slave



2. Pravo ivično okidanje

- Tablica prelaza je ista u oba slučaja

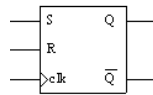
D	Q _n	Q _{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

42

3.1.2.b DRUGI TIPOVI FLIP-FLOP-OVA

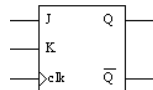
- Razlike u tablicama prelaza.

- SR flip-flop**



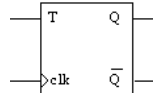
S	R	Q_n	Q_{n+1}
0	0	Q	Q
0	1	Q	0
1	0	Q	1
1	1	Q	non def.

- JK flip-flop**



J	K	Q_n	Q_{n+1}
0	0	Q	Q
0	1	Q	0
1	0	Q	1
1	1	Q	$\bar{Q}$

- T flip-flop**



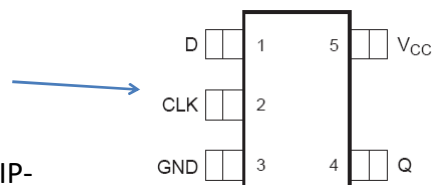
T	Q_n	Q_{n+1}
0	Q	Q
1	Q	$\bar{Q}$

Bilo koja sekvencijalna mreža se može realizovati sa bilo kojim tipom flip-flop-a. Danas se uglavnom primenjuju D flip-flop-ovi, pogotovu u VLSI tehnici. Razlog za šarenilo u ranijim godinama je što se neki tipovi automata lakše realizuju sa određenim tipom flip-flop-a.

43

3.1.2.c FLIP-FLOP-OVI - PRIMER

- SN74AUP1G79** LOW-POWER SINGLE POSITIVE-EDGE-TRIGGERED D-TYPE FLIP-FLOP

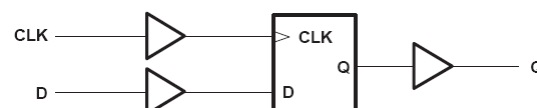


- Kod neki integrisanih kola izlazi su sa tri stanja ili invertovani.
- Za realizaciju trećeg stanja na potreban je odgovarajući kontrolni ulaz.

FUNCTION TABLE

INPUTS		OUTPUT
CLK	D	Q
↑	H	H
↑	L	L
L or H	X	Q_0

LOGIC DIAGRAM (POSITIVE LOGIC)



44

3.2 OPISIVANJE I KONSTRUISANJE LOGIČKIH AUTOMATA

- Obično se misli na neki zadatak iz automatizacije ali istim postupcima se konstruišu i bilo koja druga sekvencijalna kola.

Postupak:

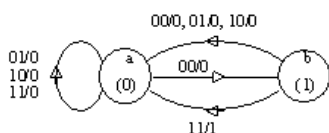
1. Polazi se od **usmenog opisa**.
2. Konstruiše se **dijagram prelaza** ili njemu ekvivalentna **tabela prelaza**.
3. Iz tabele se dobijaju **logičke jednačine** na bazi kojih se konstruišu ulazna i izlazna kombinaciona mreža.
4. Kombinaciona kola se **povezuju sa potrebnim brojem i tipom flip-flop-ova**.
5. Automat je **spreman za rad**!

45

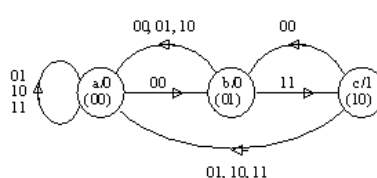
3.2.1 DIJAGRAM PRELAZA

- Precizno rešenje za opis sekvencijalne mreže (logičkog automata) .
- **Zadatak:**
Posmatraju se ulazne linije A i B. Ako se prvo pojave istovremeno nule na tim linijama, zatim istovremeno jedinice, izlaz treba dići na visoki logički nivo u trajanju od jednog takt intervala (ili do sledeće uzlazne ivice takta). U svim drugim situacijama izlaz treba da bude na niskom logičkom nivou.
- **Označavanje kod Mealy-jevog automata:** u krugu je oznaka stanja, u zagradi je kôd stanja, pored strelice je ulazna kombinacija/izlazna kombinacija.
- **Označavanje kod Moore-ovog automata:** u krugu je oznaka stanja/izlaz, u zagradi je kôd stanja, pored strelice je ulazna kombinacija.

Mealy-jev dijagram prelaza



Moore-ov dijagram prelaza



46

3.2.2 TABELA PRELAZA

- Tabela prelaza sadrži **istu informaciju kao dijagram prelaza** (dijagram stanja) ali je pogodnija za pisanje logičkih jednačina kola.
- Treba da se navedu u tabeli **sva stanja automata i sve varijacije ulaznih promenljivih**.
- Za svaku situaciju treba navesti **naredno stanje i vrednosti izlaza**.

Tabela prelaza za Mealy-jev automat

Trenutno stanje	Sledeće stanje				Izlaz Y			
	BA= 00	01	10	11	BA= 00	01	10	11
a (0)	b	a	a	a	0	0	0	0
b (1)	a	a	a	a	0	0	0	1

Tabela prelaza za Moore-ov automat

Trenutno stanje	Sledeće stanje				Izlaz Y
	BA= 00	01	10	11	
a (00)	b	a	a	a	0
b (01)	a	a	a	c	0
c (10)	b	a	a	a	1

47

3.2.3 KODIRANJE STANJA

- Sa **n komada flip-flop-ova** može se kodirati $\leq 2^n$ stanja.
- **Ranije** (pri tradicionalnom projektovanju) cilje je bio **minimalan broj flip-flopova**.
- **Danas** (projektovanje pomoću PLD-a) naglasak nije na minimizaciji broja flip-flopova, **često se koristi princip jedno stanje - jedan flip-flop**.
- Nije sve jedno **kako usvajamo kodove** za pojedina stanja (izbor utiče na nivo složenosti kombinacionih kola) ali, na žalost, ne postoji sistematski postupak za optimizaciju.
- Možemo koristiti **flip-flop-ove bilo kog tipa** (D, SR, JK, T), na žalost, ne može se znati unapred koje rešenje će biti prostije.

48

3.2.4.a JEDNAČINE ZA UPRAVLJANJE FLIP-FLOP-OVIMA

- Iz tablice prelaza flip-flop-a određenog tipa može se znati **šta treba dovesti na ulaze** da bi izlaz reagovao na željeni način.
- Zadatak projektanta je da konstruiše takvo kombinaciono kolo koje će na potreban način upravljati flip-flop-ovima.
- U nekim slučajevima upravljanje znači dovođenje **konkretnih logičkih nivoa** (kod D flip-flop-a je uvek tako), ali ima slučajeva kad pojedini ulazi flip-flopa mogu biti **proizvoljni** (na pr. SR flip-flop će dati logičku nulu ako je i dosad bio u tom stanju bilo da ga resetujemo bilo da ne, znači R ima proizvoljnu vrednost, važno je samo da ne bude S=1).

49

3.2.4.b JEDNAČINE UPRAVLJANJA FLIP-FLOP-OVIMA - KONKRETAN PRIMER

- Za ranije uvedeni logički automat, u slučaju ostvarivanja po **Mealy**-ju, važi sedeća **tabela i jednačina**:

Q_n	BA	$Q_{n+1}=D$	Y
0	00	1	0
	01	0	0
	10	0	0
	11	0	0
1	00	0	0
	01	0	0
	10	0	0
	11	0	1

$$D = \overline{Q}BA$$

- Tabela prelaza i jednačina** pri ostvarivanju logičkog automata po **Moore**-u:

$Q_1 Q_0$	BA	$Q_1 Q_0 = D_1, Q_0 Q_0 = D_0$	Y
00	00	01	0
	01	00	0
	10	00	0
	11	00	0
01	00	00	0
	01	00	0
	10	00	0
	11	10	0
10	00	01	1
	01	00	1
	10	00	1
	11	00	1
11	00	00	0
	01	00	0
	10	00	0
	11	00	0

$$D_1 = \overline{Q_1} \overline{Q_0} BA$$

$$D_0 = \overline{Q_1} \overline{Q_0} BA + Q_1 \overline{Q_0} BA = \overline{Q_0} BA$$

50

3.2.5 FORMIRANJE IZLAZA

- Kod **Mealy**-jevog automata **izlazna kombinaciona mreža** formira izlazne logičke nivoe na bazi trenutnih ulaza i trenutnog stanja. U konkretnom slučaju dobija se:

$$Y = QBA$$

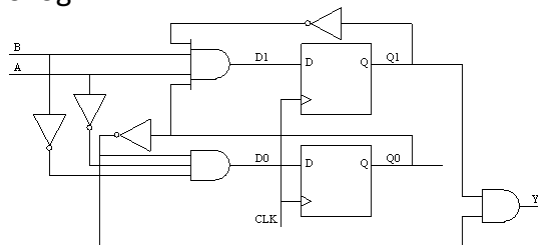
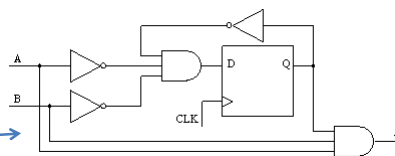
- Kod **Moore**-ovog automata izlazi zavise samo od trenutnog stanja, to stanje treba dovesti na ulaze **izlaznog kombinacionog kola**. U konkretnom slučaju dobija se:

$$Y = Q_1 \overline{Q_0}$$

51

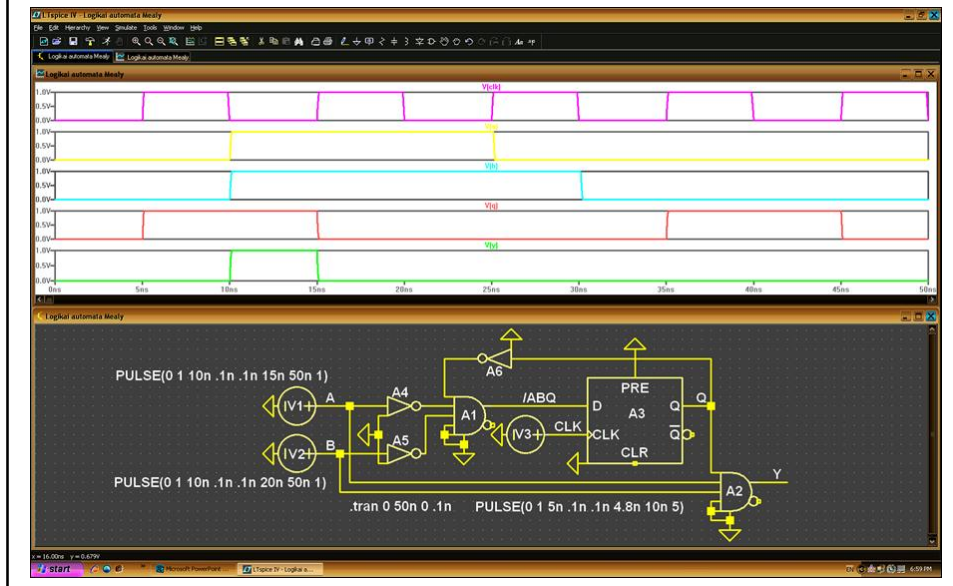
3.2.6.a KONSTRUKCIJA KOMPLETNOG AUTOMATA

- Ostvarena sekvencijalna mreža (automat) sadrži ulaznu kombinacionu mrežu, potreban broj i tip flip-flop-ova i izlaznu kombinacionu mrežu.
- Logička šema **Mealy**-jevog automata.
- Logička šema **Moore**-ovog automata.

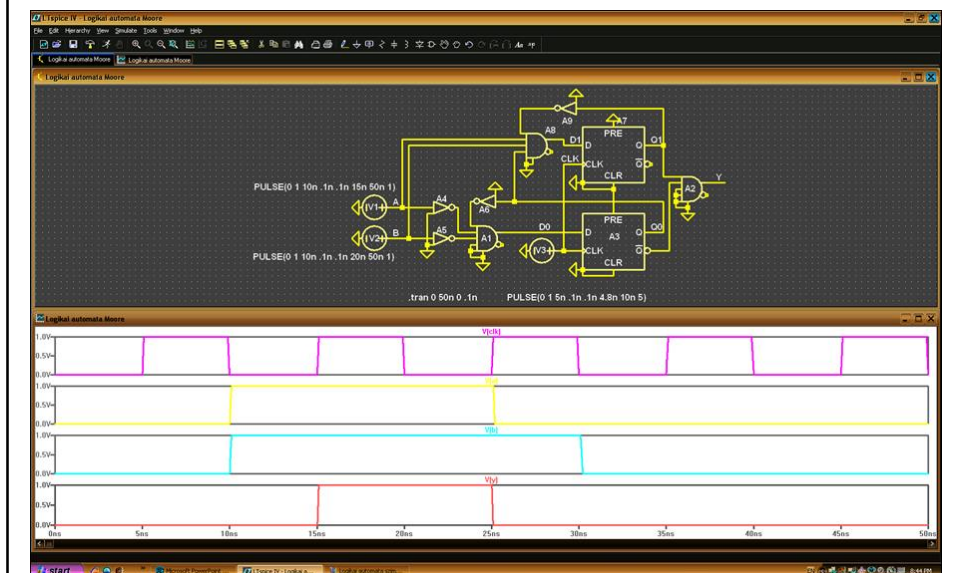


52

3.2.7.a SIMULACIJA RADA OSTVARENOG AUTOMATA **MEALY**-JEVOG TIP



3.2.7.b SIMULACIJA RADA OSTVARENOG AUTOMATA **MOORE**-OVOG TIP



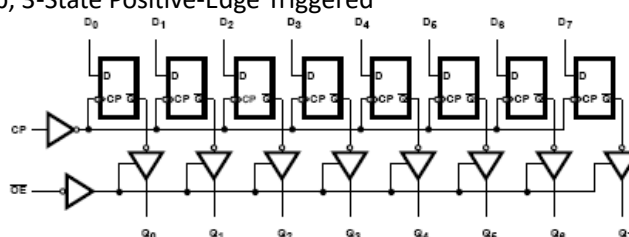
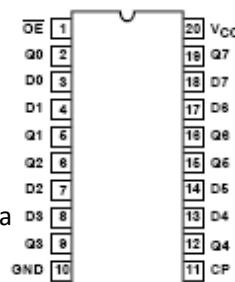
3.3 REGISTRI

- Služe za **čuvanje** (skladištenje) **male količine informacije** (nekoliko bita).
- Struktura: **latch-evi ili flip-flop-ovi** poređani u jednom kućištu, sa zajedničkim upravljačkim vodovima.
- **Tipovi:**
 1. Obični (stacionarni) registri
 2. Pomerački (shift) registri
 3. Kružni registri (kružni brojači)

55

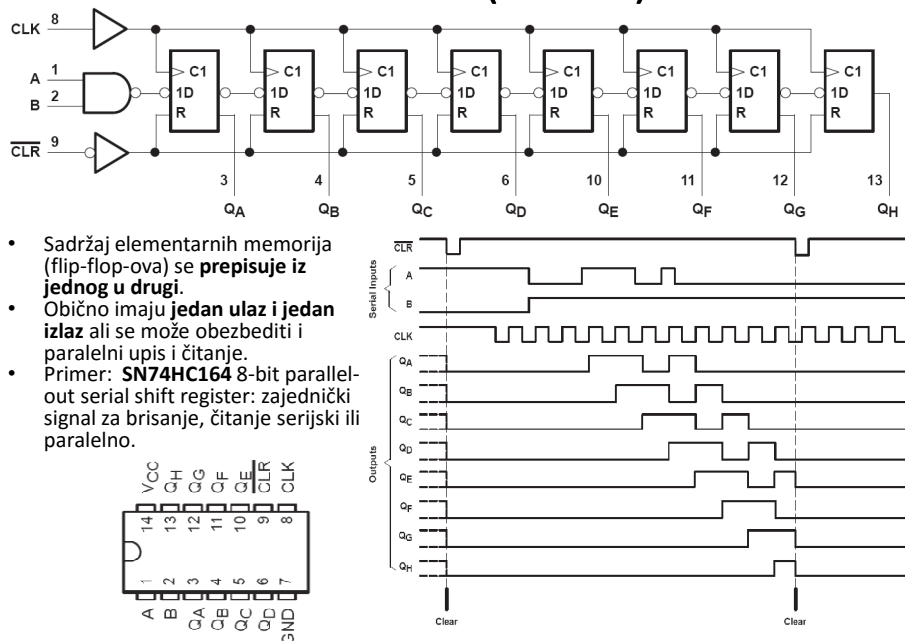
3.3.1 OBIČNI (STACIONARNI) REGISTRI

- Redovno **zajednički takt** (CLK) ili zajednički signal dozvole (LE).
- **Paralelni upis i čitanje** (svi bitovi istovremeno).
- Izlazi mogu biti sa tri stanja ili invertovani (kod nekih tipova).
- Broj bitova je od 2 do 32. Sprezanjem više integrisanih kola se može dalje proširivati.
- Primer: **CD54HC374** High-Speed CMOS Logic Octal D-Type Flip-Flop, 3-State Positive-Edge Triggered



56

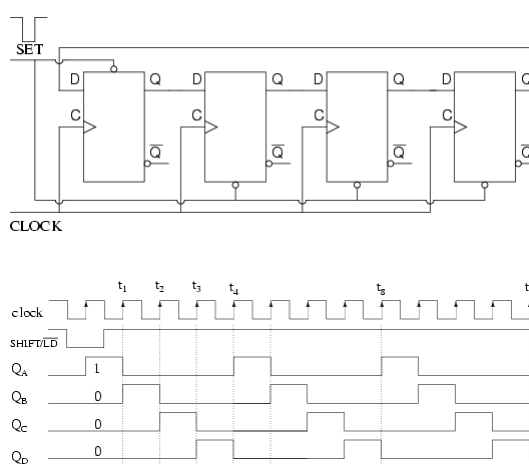
3.3.2 POMERAČKI (SHIFT) REGISTRI



- Sadržaj elementarnih memorija (flip-flop-ova) se **prepisuje iz jednog u drugi**.
- Obično imaju **jedan ulaz i jedan izlaz** ali se može obezbediti i paralelni upis i čitanje.
- Primer: **SN74HC164** 8-bit parallel-out serial shift register: zajednički signal za brisanje, čitanje serijski ili paralelno.

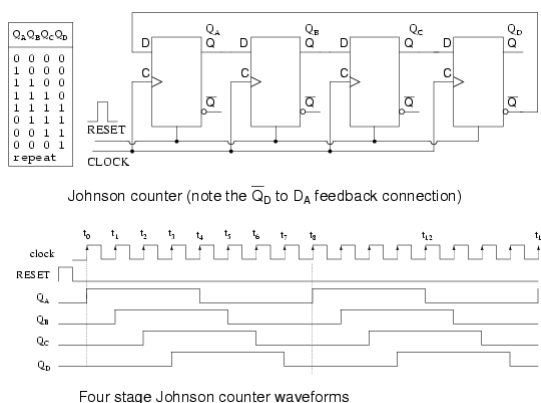
3.3.3.a KRUŽNI REGISTRI (KRUŽNI BROJAČI)

- Povratna sprega** sa izlaza na ulaz.
- Sadržaj pravi **jedan krug u toku n ciklusa takta**.
- Nekako treba **"pokrenuti"**: signal SET upisuje jedinicu u jedan flip-flop i nulu u ostale (dozvoljene su i druge kombinacije)



3.3.3.b KRUŽNI REGISTRI (KRUŽNI BROJAČI) - JOHNSON-OV BROJAČ

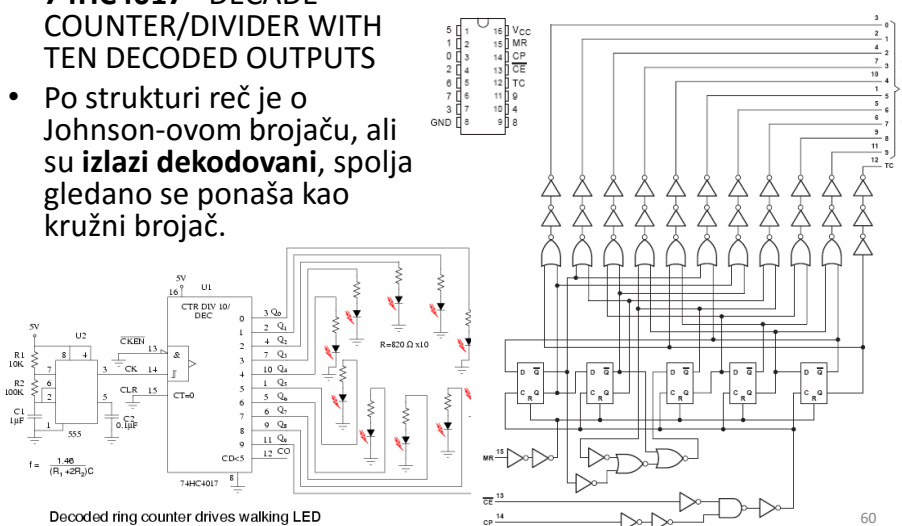
- Invertovani izlaz poslednjeg flip-flop-a je **vraćen na ulaz prvog**.
- Sadržaj čini jedan krug u toku **2n ciklusa** (n je broj flip-flop-ova).
- Nije potrebno početno podešavanje.



59

3.3.3.c KRUŽNI REGISTRI (KRUŽNI BROJAČI) - PRIMER

- **74HC4017** - DECADE COUNTER/DIVIDER WITH TEN DECODED OUTPUTS
- Po strukturi reč je o Johnson-ovom brojaču, ali su **izlazi dekodovani**, spolja gledano se ponaša kao kružni brojač.



60

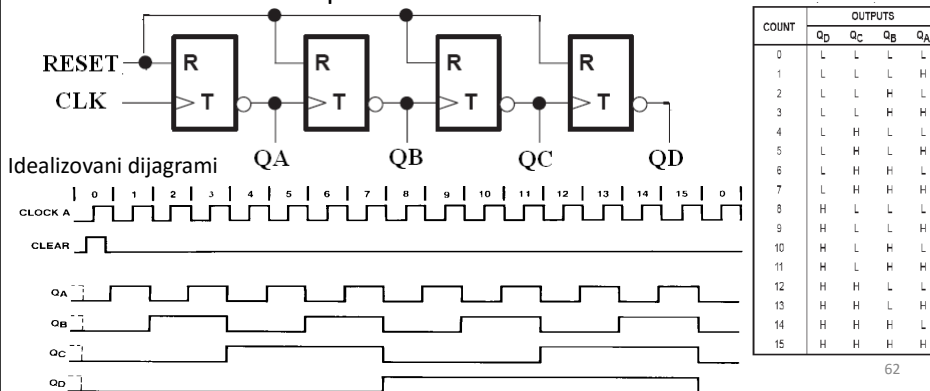
3.4 BROJAČI

- Brojači su registri koji **prolaze kroz unapred određena stanja** (stanja su kodirana po prirodnom binarnom ili drugom kodu).
- Napredovanje (prolaz kroz stanja) se dešava pod uticajem **takta (clock)**.
- Upis novog sadržaja u flip-flop-ove se vrši pomoću odgovarajućeg **kombinacionog kola**.
- Izlazna kombinaciona mreža najčešće nije potrebna: **izlazi flip-flop-ova su ujedno izlazi brojača**.
- Broj stanja se naziva **modul brojača**. Modul brojača (brojanja) može biti 2^n (binarni brojači) ili manje (decimalni i drugi specijalni brojači).
- **Asinhroni (redni) brojači**: promena stanja pojedinih flip-flop-ova ne dešava se tačno istovremeno.
- **Sinhroni (paralelni) brojači**: promena stanja flip-flop-ova se dešava istovremeno, zahvaljujući zajedničkom takt signalu (clock).

61

3.4.1.a ASINHRONI (REDNI) BROJAČI

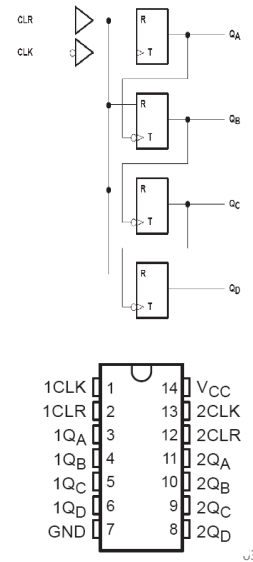
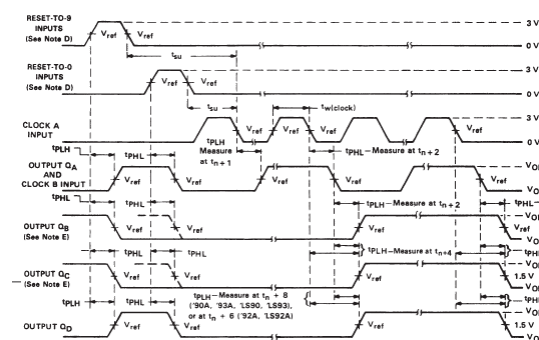
- Obično se pravi od **T flip-flop-ova**.
- Prosta kaskadna veza, **nema ni ulazne ni izlazne kombinacione mreže**.
- **Takt signal (clock)** se dovodi samo **na prvi flip-flop**, ostali dobijaju podudu jedan od drugog.
- **Promene stanja** pojedinih flip-flop-ova **kasne** u odnosu na takt – zato, u kratkim intervalima posle ivice takta izlazi nisu važeći.



62

3.4.1.b ASINHRONI (REDNI) BROJAČI - PRIMER

- Primer: **SN74HC393** Dual four-bit asynchronous binary counters.
- Modul: $2^4=16$.
- Na dijagramu se mogu analizirati kašnjenja.

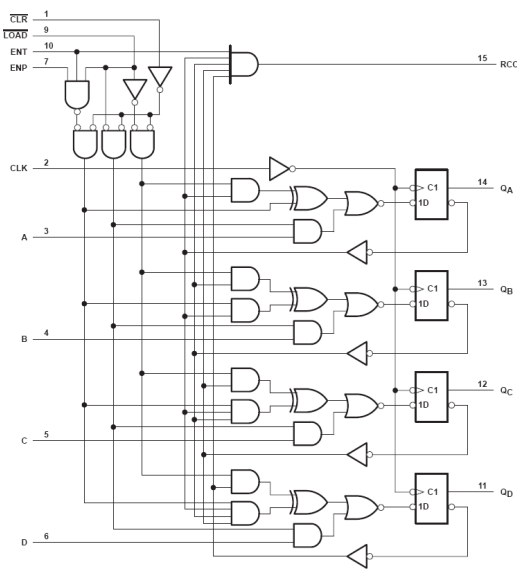
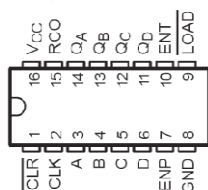


3.4.2.a SINHRONI (PARALELNI) BROJAČI

- Pojedini flip-flop-ovi dobijaju **isti takt signal**, zato se istovremeno upisuje novi sadržaj (dobija se pravilno ponašanje i pri višim frekvencijama takta).
- **Potrebna je ulazna kombinaciona mreža** za pripremanje novog sadržaja (stanja).
- Konstrukcija ulazne kombinacione mreže se vrši pomoću metode koja je prikazana za **sintezu logičkih automata**.
- Izlazna kombinaciona mreža redovno nije potrebna.
- Modul $\leq 2^n$.

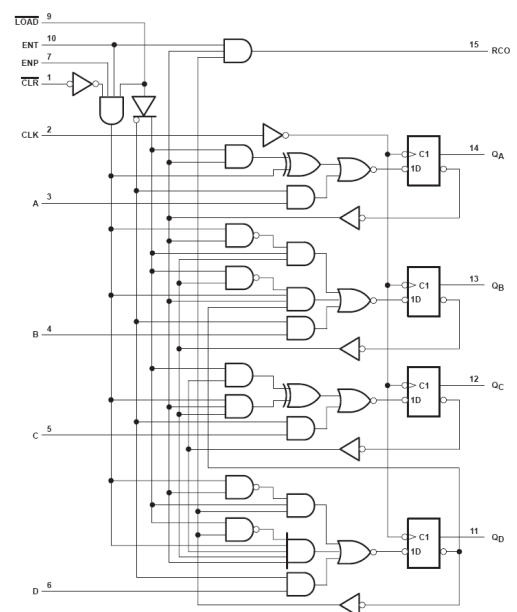
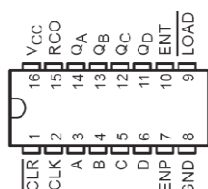
3.4.2.b SINHRONI (PARALELNI) BROJAČI - PRIMER BINARNOG BROJAČA

- **SN74ALS161B** - SYNCHRONOUS 4-BIT BINARY COUNTER
- Mogućnost paralelnog upisa (A,B,C,D, LOAD)
- Istovremeno brisanje svih flip-flop-ova (CLR).
- Signali ENT, ENP i RCO su potrebni za kaskadno vezivanje više ovakvih brojača (radi povećanja modula).



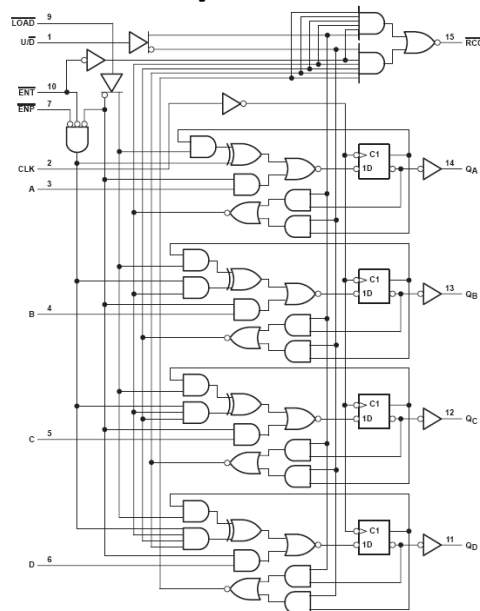
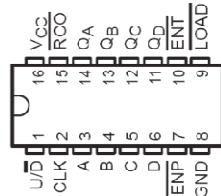
3.4.2.c SINHRONI (PARALELNI) BROJAČI - PRIMER DECIMALNOG BROJAČA

- **SN74ALS162B** - SYNCHRONOUS 4-BIT DECIMAL COUNTER
- Mogućnost paralelnog upisa (A,B,C,D, LOAD).
- Istovremeno brisanje svih flip-flop-ova (CLR).
- Signali ENT, ENP i RCO su potrebni za kaskadno vezivanje više ovakvih brojača (radi povećanja modula).



3.4.2.d SINHRONI (PARALELNI) BROJAČI - PRIMER BROJAČA NAPRED/NAZAD

- **SN74ALS169B** -
SYNCHRONOUS 4-BIT
UP/DOWN BINARY COUNTER
- U/D - određuje smer brojanja
- Mogućnost paralelnog upisa
(A,B,C,D, LOAD)
- Signali ENT, ENP i RCO su
potrebni za kaskadno vezivanje
više ovakvih brojača (radi
povećanja modula).



4. MEŠOVITE MREŽE

Dve mogućnosti:

1. Digitalna kola koja sadrže i kombinacione i sekvencijalnelemente. Težište može biti i na jednoj i na drugoj vrsti elemenata
2. Kombinacija digitalnih i analognih kola u jednom kućištu.

Podela:

1. Memorijska kola
2. Aritmetičke jedinice
3. D/A pretvarači
4. A/D pretvarači

4.1. MEMORIJE

- Mogu trajno ili privremeno da skladište veću količinu podataka.
- Za postizanje velikog kapaciteta potreban je veliki skladišni **prostor** i dobra **organizacija**.
- Postoji i drugi načini pamćenja podataka (optički, magnetni...). Mi se ovde bavimo samo sa poluprovodničkim rešenjima.
- Blok šema memorijskog kola:

A - adresne linije

C - upravljački signali

D - magistrala podataka



69

4.1.1.a PODELA I KARAKTERISTIKE MEMORIJA

Principi po kojima delimo memorije:

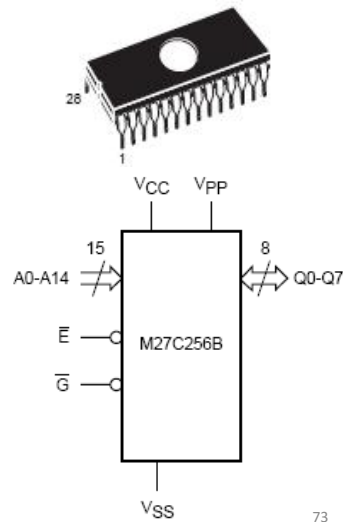
- **Brzi** ili **spori** pristup (može biti velika razlika između brzine i učestalosti upisa i čitanja kod iste memorije),
- **Statički** (koristi flip-flop-ove) ili **dinamički** (koristi parazitne kapacitivnosti) način čuvanja podataka,
- Pristup podacima po nekom **redu** ili u **proizvoljnom redosledu**,
- **Jednobitni** ili **višebitni** podaci,
- Tehnologija proizvodnje: **CMOS** ili **bipolarna**.

70

4.1.1.d PODELA I KARAKTERISTIKE MEMORIJA - KOMERCIJALNI TIPOVI

EPROM - electrically programmable ROM

- **programira se** (upis podataka) **električnim signalima** - na gejt MOSFET-a se dovodi opterećenje koje ostaje zarobljeno,
- **brisanje ultraljubičastim zračenjem** - relativno spor proces,
- postoji stakleni prozor na gornjoj strani kućišta,
- Primer: **M27C256B** 256 Kbit (32Kb x 8) UV EPROM and OTP EPROM.

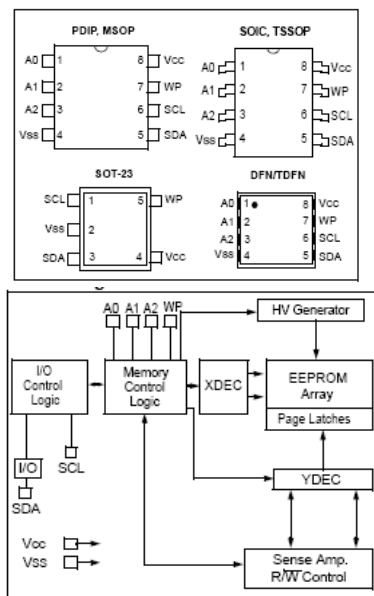


73

4.1.1.e PODELA I KARAKTERISTIKE MEMORIJA - KOMERCIJALNI TIPOVI

EEPROM - electrically erasable PROM

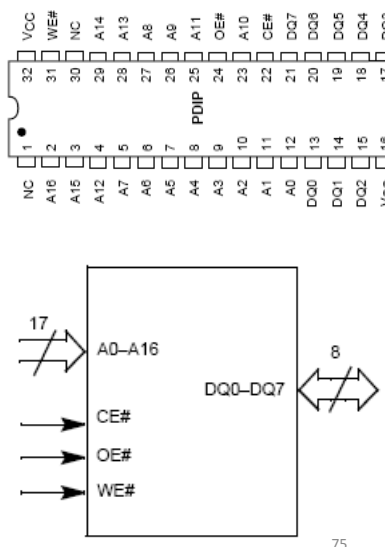
- **brisanje** sadržaja i ponovni **upis električnim signalima** - nema prozora,
- čitanje se može obaviti brzo, upis je nešto sporiji,
- često se pravi sa serijskim upisom/čitanjem (može da se smesti memorija velikog kapaciteta u kućište sa malim brojem nožica)
- Primer: **24AA32A/24LC32A** 32K I2C™ Serial EEPROM



4.1.1.f PODELA I KARAKTERISTIKE MEMORIJA - KOMERCIJALNI TIPOVI

flash EEPROM (flash memorija)

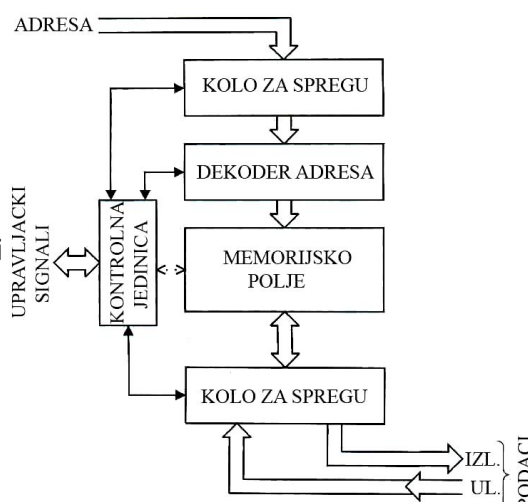
- relativno brzo brisanje i ponovni upis električnim signalima,
- čuva podatke i nakon isključenja napajanja,
- broj ponovnih upisa je ograničen (na pr. 100,000),
- brisanje sadržaja redovno se može raditi po sektorima,
- **Am29F010** 1 Megabit (128 K x 8-bit) CMOS 5.0 Volt-only, Uniform Sector Flash Memory



75

4.1.2 UNUTRAŠNJA STRUKTURA MEMORIJSKIH KOLA

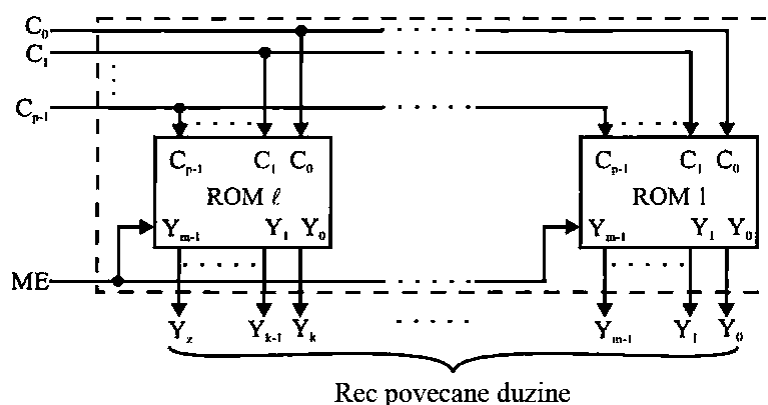
- Zbog velike količine podataka potrebno je efikasno organizovanje.
- **Centralni deo:** polje memorijskih ćelija.
- Uloga **dekodera** je da izabere aktuelnu ćeliju.
- Radi uprošćenja dekodera, dekodera se deli na dve manje jedinice (kolone i vrste).
- Podaci ulaze i izlaze na istim linijama, zahvaljujući dvosmernim kolima za sprezanje
- Upravljački signali: WE, OE, CS



76

4.1.3.a PROŠIRIVANJE KAPACITETA

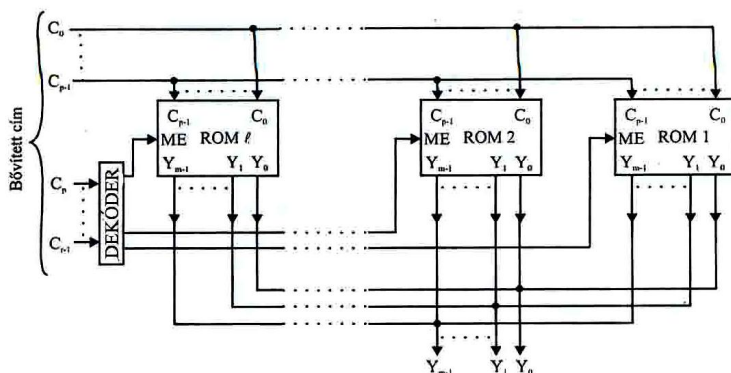
- Koje su nam mogućnosti ako nije dovoljan kapacitet memorije koji se pravi u jednom kućištu?
- **Povećanje dužine reči:** zajedničke adresne linije, linije podataka se stave paralelno.



77

4.1.3.b PROŠIRIVANJE KAPACITETA

- Koje su nam mogućnosti ako nije dovoljan kapacitet memorije koji se pravi u jednom kućištu?
- **Povećanje broja reči** koji se može adresirati. Izbor pojedinih kućišta sa spoljnim dekodrom. Ulazi i izlazi se spajaju na istu magistralu.



78

4.2 ARITMETIČKE JEDINICE

Ove funkcije se najviše sreću kao unutrašnji moduli mikrokontrolera ali se nađe i poneko MSI kolo.

Postoje kola za sledeće funkcije:

- Sabiranje
- Množenje
- Komparacija brojeva
- Provera parnosti broja jedinica u broju

79

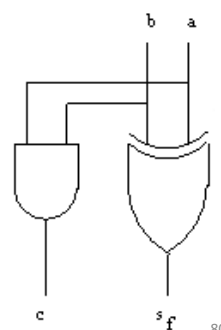
4.2.1.a KOLA ZA SABIRANJE

- Osnovno kolo je polusabirač: sabere dva bita, odredi sumu i prenos na veću pozicionu vrednost.
- Nije pogodan za kaskadno vezivanje (što bi bilo neophodno za sabiranje višebitnih brojeva)
- Jednačine kola su:

$$s_f = \bar{a}b + a\bar{b} = a \oplus b$$

$$c = ab$$

a	b	c	s_f
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

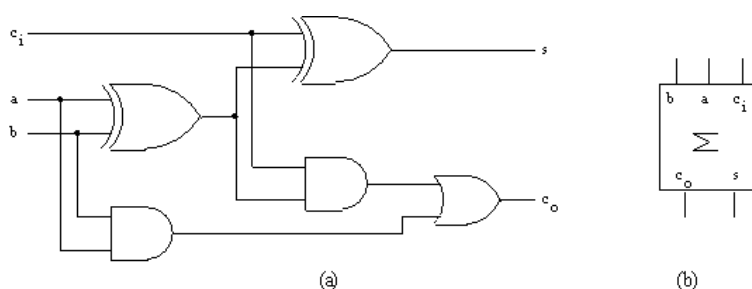


80

4.2.1.b KOLA ZA SABIRANJE

- Kod potpunog sabirača postoji mogućnost kaskadnog vezivanja pošto je predviđeno prihvatanje ulaznog prenosa sa niže pozicione vrednosti.

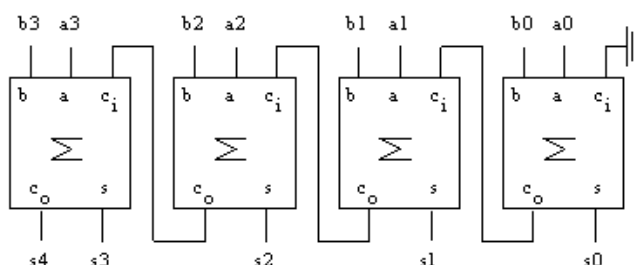
- Jednačine kola su:
$$s = a \oplus b \oplus c_i$$
$$c_o = (a \oplus b)c_i + ab$$



81

4.2.1.c KOLA ZA SABIRANJE

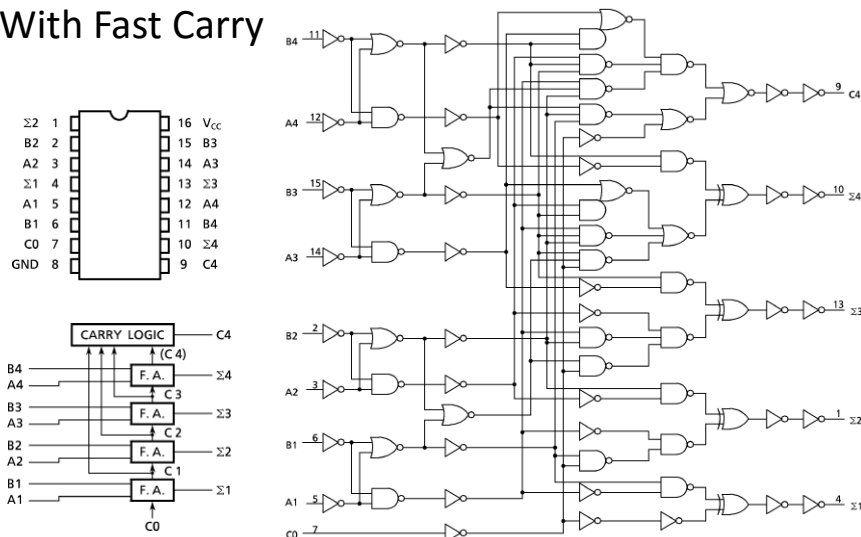
- Sabiranje višebitnih brojeva.
- Kaskadno vezivanje jednobitnih potpunih sabirača.
- Određivanjem prenosa paralelnim postupkom može se ubrzati rad kola (potreba posebna mreža).



82

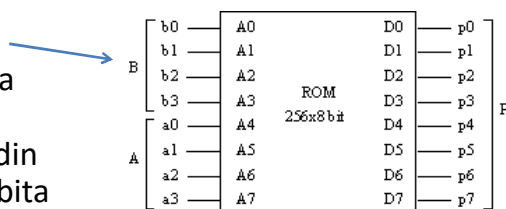
4.2.1.d KOLA ZA SABIRANJE

- Primer: **CD54/74ACT283** 4-Bit Binary Full Adder With Fast Carry

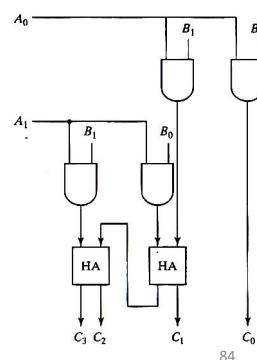


4.2.2.a KOLA ZA MNOŽENJE

- Primenom **čisto kombinacione mreže** - na osnovu **tabele** - za svaku ulaznu varijaciju se odredi izlaz. Sa porastom broja bita složenost mreže za množenje nesrazmerno raste (jedna prihvatljiva metoda je korišćenje **ROM-a**).
- Takođe primenom čisto kombinacione mreže: **množenje bit po bit sa 1 kolima i sabiranje međurezultata sa potpunim sabiračima**.



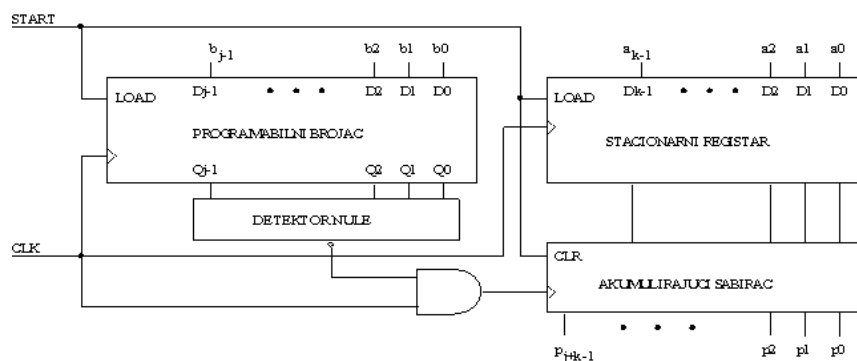
B_1	B_0
A_1	A_0
$A_0 B_1$	$A_0 B_0$
$A_1 B_1$	$A_1 B_0$
C_3	C_2
C_1	C_0



4.2.2.b KOLA ZA MNOŽENJE

Primenom sekvencijalne mreže:

1. Sabira se množilac onoliko puta kolika je brojna vrednost množitelja.

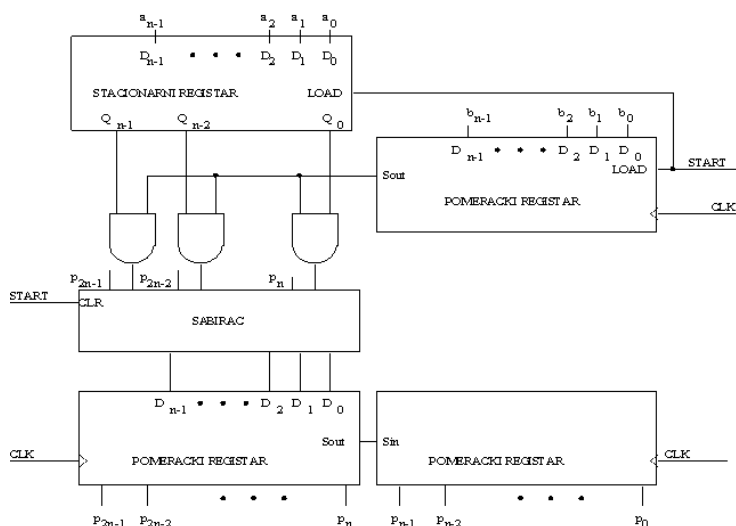


85

4.2.2.c KOLA ZA MNOŽENJE

Primenom sekvencijalne mreže:

2. Množenje bit po bit i sabiranje međurezultata.



86

4.2.3.a ARITMETIČKI (DIGITALNI) KOMPARATOR

- Upoređenje binarnih brojeva po veličini.
- Mogući rezultati: manje, veće, jednako.
- Za slučaj jednobitnih brojeva važe izrazi:

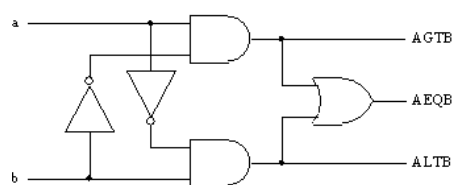
$$AGTB = a\bar{b}$$

$$AEQB = ab + \bar{a}\bar{b} = \bar{a} \oplus \bar{b}$$

$$ALTB = \bar{a}b$$

- Kombinatorna tabela i logička šema:

A	B	AGTB	AEQB	ALTB
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

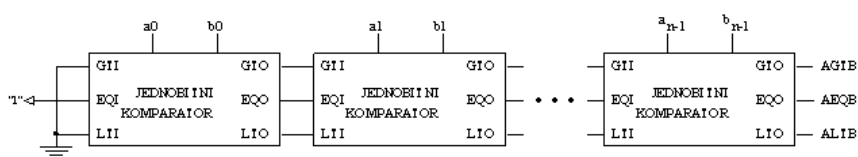


87

4.2.3.b ARITMETIČKI (DIGITALNI) KOMPARATOR

Upoređenje višebitnih brojeva

1. Kaskadna veza jednobitnih komparatora:

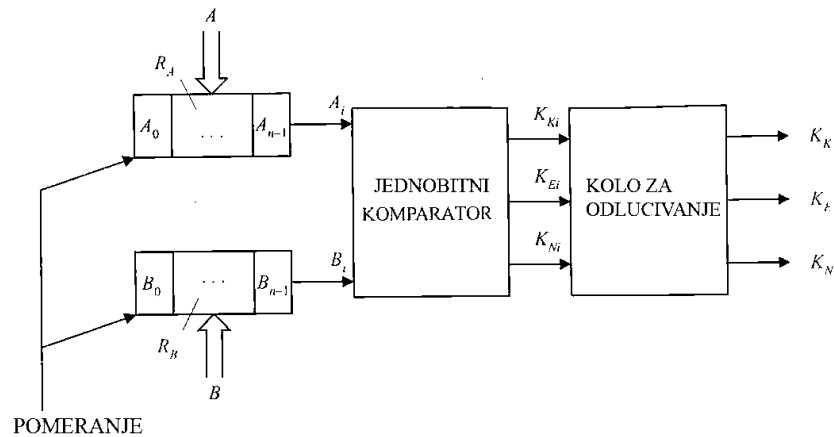


- Za kaskadnu vezu potrebno je obezbediti odgovarajuće ulaze i izlaze.
- Prosto ali relativno sporo rešenje zbog serijskog prenosa.

88

4.2.3.c ARITMETIČKI (DIGITALNI) KOMPARATOR

Upoređenje višebitnih brojeva

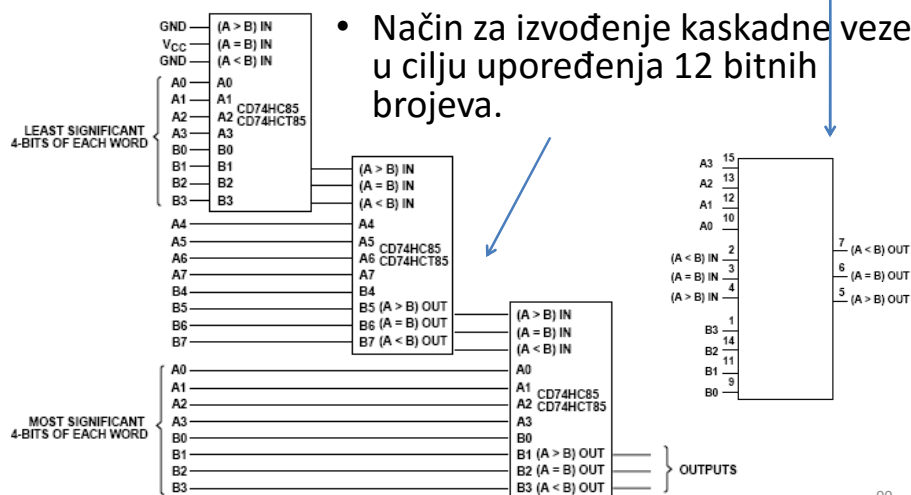


- Razumno je upoređivanje početi od bitova veće težine.

89

4.2.3.d ARITMETIČKI (DIGITALNI) KOMPARATOR

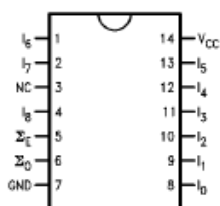
- Primer: **CD74HCT85** High-Speed CMOS Logic 4-Bit Magnitude Comparator .
- Način za izvođenje kaskadne veze u cilju upoređenja 12 bitnih brojeva.



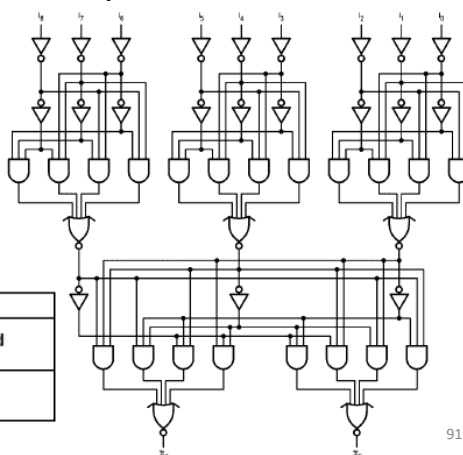
90

4.2.4 KOLA ZA KONTROLU PARNOSTI

- Proverava da li je broj jedinica u nekom binarnom broju paran ili neparan.
- Primer: **74F280** 9-Bit Parity Generator/Checker



Number of HIGH Inputs I_0-I_8	Outputs	
	Σ Even	Σ Odd
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H



91

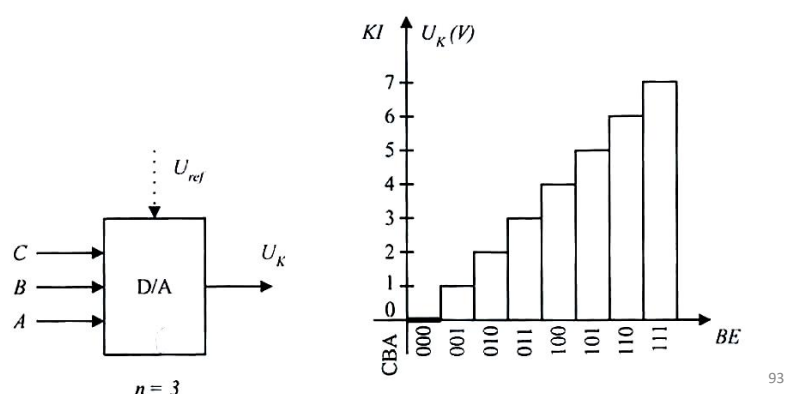
4.3 D/A PRETVARAČI

- Od brojeva formiraju analogne signale (napon određene vrednosti).
- Dobijena vrednost napona je redovno srazmerna sa vrednošću broja.
- Dobijene vrednosti napona formiraju diskretnu skalu.

92

4.3.1 PRINCIP RADA D/A PRETVARAČA

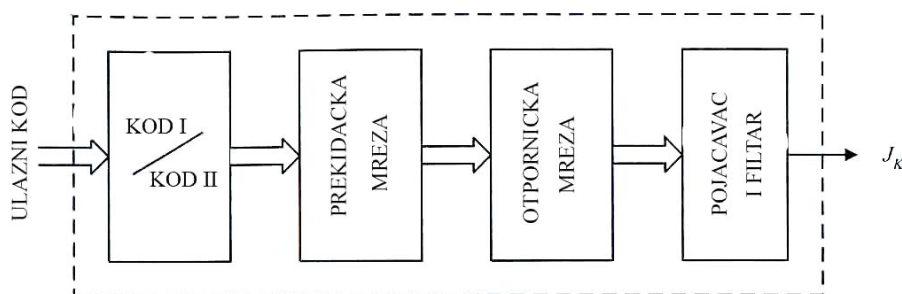
- U slučaju broja (kôd) sa n bita postoje 2^n mogućih vrednosti izlaznog napona.
- Potreban je jedan referentni napon (V_{REF}), vrednosti na skali su srazmerni sa tim naponom.



93

4.3.2.a KONSTRUKCIJA D/A PRETVARAČA

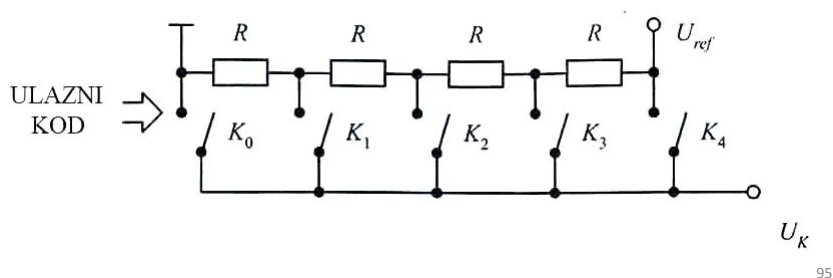
- Glavni deo pretvarača je jedna otpornička mreža.
- Odnos razdele napona variramo uključivanjem/isključivanjem analognih prekidača.
- Upravljanje analognim prekidačima vršimo u skladu sa ulaznim brojem (kôdom). U nekim slučajevima potrebno je pretvaranje kôda.
- Na izlazu je redovno potrebna neka analogna obrada (pojačanje, filtracija).



4.3.2.b KONSTRUKCIJA D/A PRETVARAČA

Pretvarač direktnog tipa

- Redno se vežu otpornici iste otpornosti.
- Na izvodima razdelnika se formiraju svi naponi prema predviđenoj skali.
- Za upravljanje analognim prekidačima redovno je potreban dekođer.



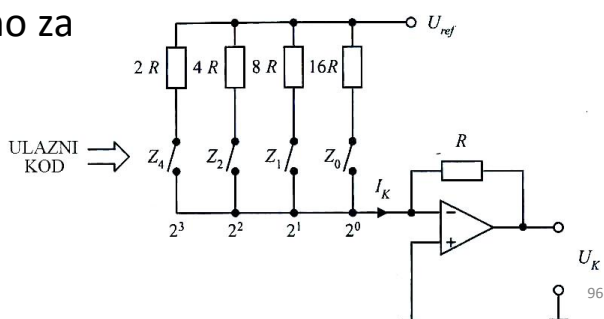
4.3.2.c KONSTRUKCIJA D/A PRETVARAČA

Pretvarač sa težinskom otpornom mrežom

- Vrednosti otpornosti i struje kroz njih su u odnosima $1:2:4: \dots 2^n$.
- Formula za računanje izlaznog napona:

$$V_O = -R_f V_{REF} \frac{1}{R} (2^0 Q_0 + 2^1 Q_1 + 2^2 Q_2 + \dots 2^{n-1} Q_{n-1})$$

- Nije pogodno za realizaciju u integrisanoj izvedbi.

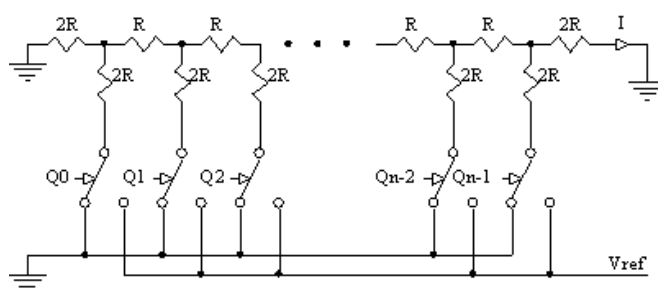


4.3.2.d KONSTRUKCIJA D/A PRETVARAČA

Pretvarač sa R-2R lestvičastom mrežom

- U integrisanoj izvedbi se redovno proizvode ove vrste pretvarača - potrebno je reprodukovati samo dve vrednosti otpornosti.
- Formula za računanje izlazne struje (izlazni napon je srazmeran sa strujom):

$$I = \frac{V_{REF}}{6R} \cdot \frac{1}{2^{n-1}} (2^{n-1} Q_{n-1} + 2^{n-2} Q_{n-2} + \dots + 2^1 Q_1 + 2^0 Q_0)$$



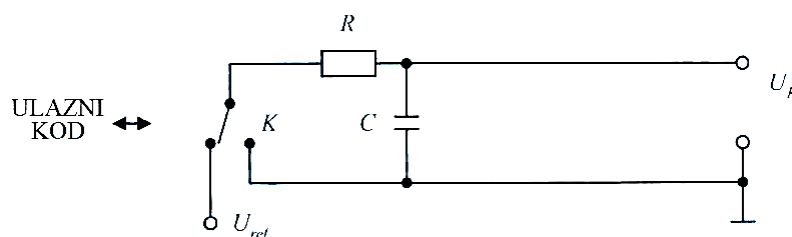
97

4.3.2.e KONSTRUKCIJA D/A PRETVARAČA

Pretvarač sa impulsno-širinskom modulacijom

- Reč je o pomoćnom rešenju, realizuje se sa jako malim brojem komponenti.
- Rešivo je i sa mikrokontrolerom bez analognog izlaza.
- Formula za izlazni napon je:

$$V_O = D \cdot V_{REF} \quad D = f(Q_0, Q_1 \dots Q_{n-1})$$
- Zbog kašnjenja filtra sporo radi.

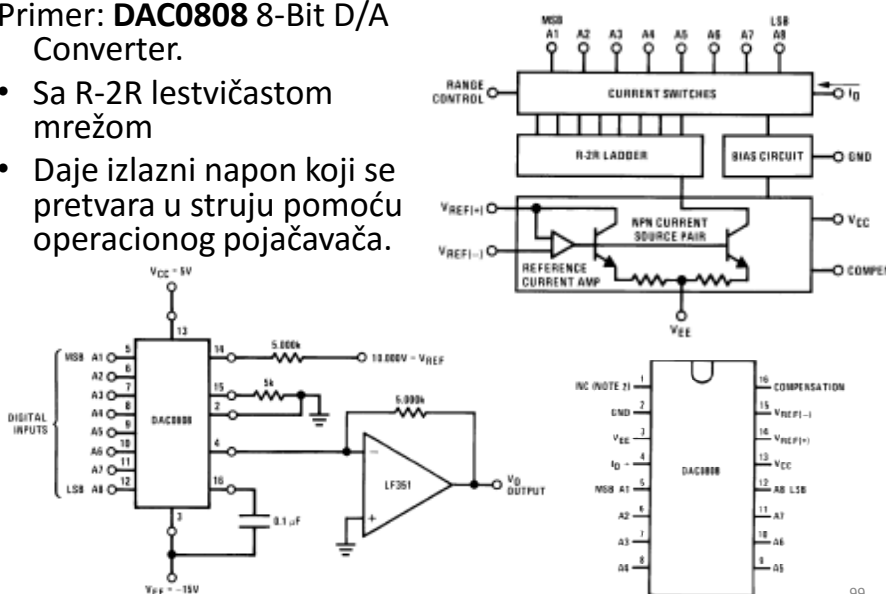


}

4.3.2.f KONSTRUKCIJA D/A PRETVARAČA

Primer: **DAC0808** 8-Bit D/A Converter.

- Sa R-2R lestvičastom mrežom
- Daje izlazni napon koji se pretvara u struju pomoću operacionog pojačavača.



4.3.3 KARAKTERISTIKE D/A PRETVARAČA

Rezolucija

- izražava se brojem ulaznih bitova
- to ujedno određuje i tačnost jer treba garantovati monotonost pretvaračke karakteristike.

Brzina

- pretvarači sa otporničkim mrežama su relativno brzi, vreme uspostavljanja je obično manje od μs (kašnjenje analognih prekidača i operacionih pojačavača)
- pretvarači sa impulsno-širinskom modulacijom su spori: vreme uspostavljanja je mnogostruka vrednost periode impulsa na izlazu pretvarača.

4.4 A/D PRETVARAČI

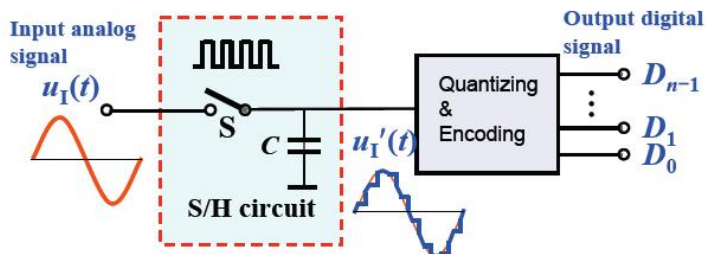
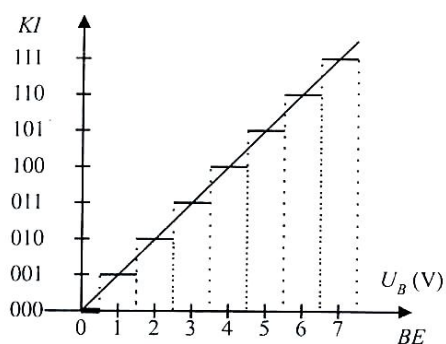
1. Pretvaranje analognog signala (napon) u digitalni signal (broj)
2. Razlozi za pretvaranje:
 - digitalno skladištenje
 - digitalna obrada signala
 - digitalni prenos signala
 - digitalno prikazivanje

101

4.4.1 PRINCIPI A/D PRETVARANJA

Zadaci koje treba rešiti:

1. odabiranje (diskretizacija po vremenu),
2. diskretizacija po amplitudi (upoređenje sa odgovarajućom skalom),
3. kodiranje (svako diskretnoj vrednosti se dodeljuje kodna reč).



102

4.4.2.a KONSTRUKCIJA A/D PRETVARAČA

U praksi se spominju četiri rešenja:

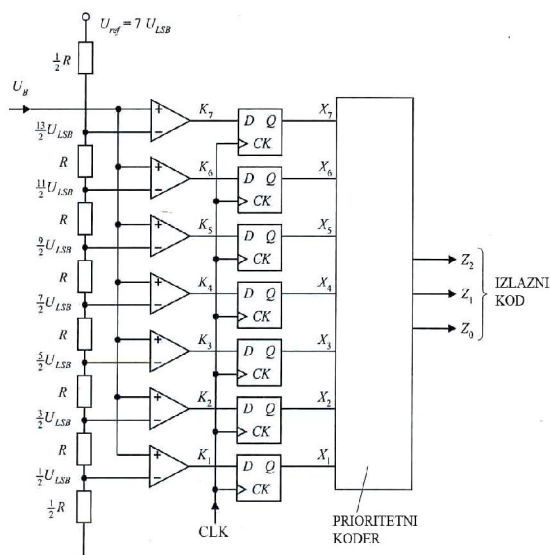
1. **Direktni** (flash tip) pretvarača
2. **Postepeno približavanje** (sukcesivna aproksimacija - pretvaranje bit po bit)
3. **Brojačko** (integratorsko) rešenje
4. **Sigma-delta** A/D pretvarač

Postoje ozbiljne razlike u ceni, brzini i rezoluciji.

103

4.4.2.b KONSTRUKCIJA A/D PRETVARAČA

1. **Direktni** (flash) tip pretvarača
 - Za n-bitni pretvarač $2^n - 1$ komparatora vrše diskretizaciju po amplitudi.
 - Kodiranje prioriternim koderom.
 - Sinhronizacija taktom obezbeđuje da iščitavamo samo važeće kôdove.
 - Složeni, skupi hardver.
 - Velika brzina.

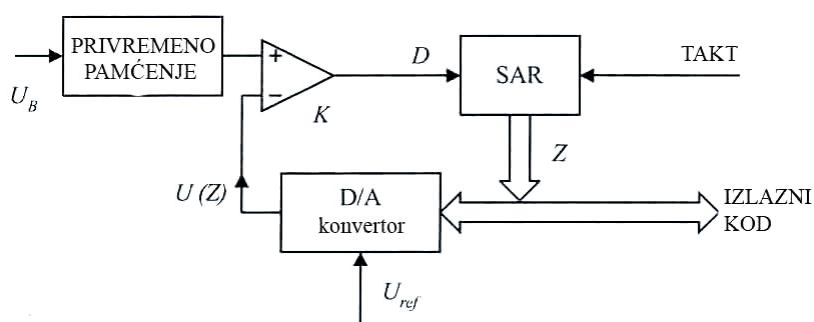


104

4.4.2.c KONSTRUKCIJA A/D PRETVARAČA

2. Pretvarač sa sukcesivnom aproksimacijom.

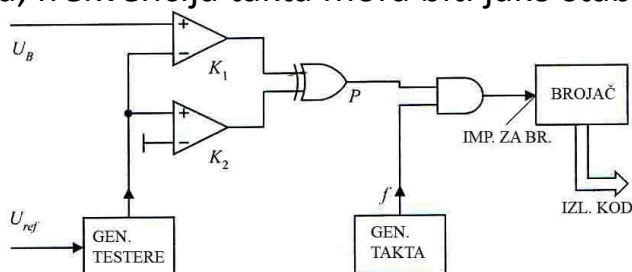
- Sadržaj SAR-a (registar) postavljamo na logičku jedinicu bit po bit (počev od bita najveće težine).
- D/A pretvarač proizvodi odgovarajuću analognu vrednost.
- Komparator donosi odluku da li je bilo potrebno postaviti dotični bit na jedinicu.



4.4.2.d KONSTRUKCIJA A/D PRETVARAČA

3.a Konstrukcija konvertora **brojačkog tipa - jednostruka integracija**

- Analogni napon se upoređuje sa signalom iz generatora testerastog napona - time se napon pretvara u vreme.
- U slučaju većeg napona brojač broji srazmerno duže.
- Slabe tačke: ne sme da se menja nagib testerastog signala, frekvencija takta mora biti jako stabilna.

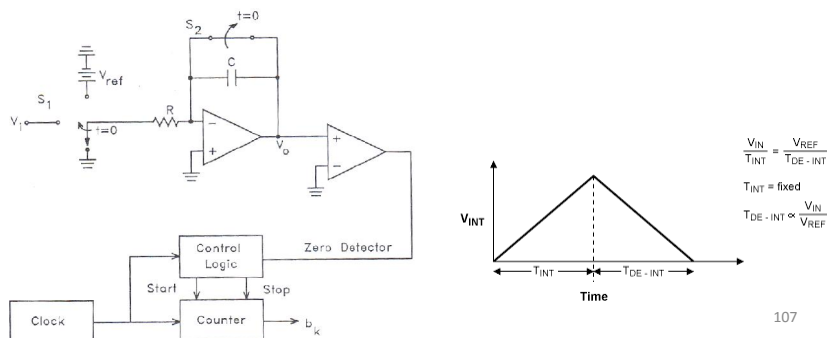


106

4.4.2.e KONSTRUKCIJA A/D PRETVARAČA

3.b Konstrukcija konvertora **brojačkog tipa** - **dvostruka integracija**

- Samo V_{REF} treba da je tačne vrednosti.
- Frekvencija takta i elementi integratora treba samo da su stabilne vrednosti na kratkoj stazi (za vreme jednog pretvaranja).

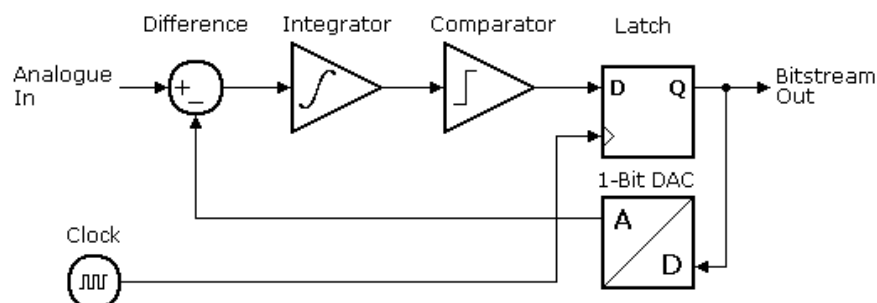


107

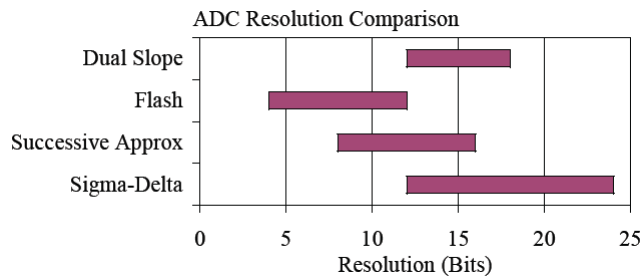
4.4.2.e KONSTRUKCIJA A/D PRETVARAČA

4. Pretvarač **sigma-delta**

- Integrator integriše razliku analognog signala i izlaza D/A pretvarača.
- Komparator određuje predznak integrala.
- Izlaz komparatora se upisuje u flip-flop.
- Broj impulsa na izlazu flip-flop-a dobijen u jedinici vremena je srazmeran sa analognim signalom.



4.4.3 UPOREĐENJE A/D PRETVARAČA

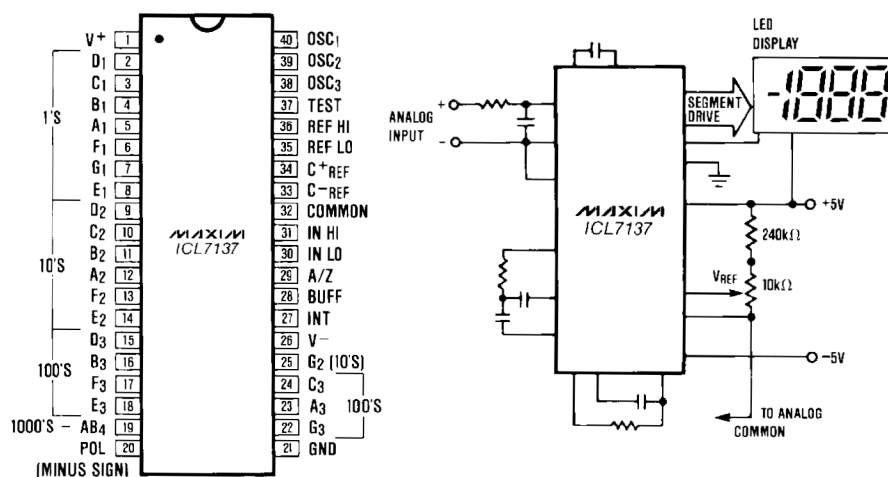


Type	Speed (relative)	Cost (relative)
Dual Slope	Slow	Med
Flash	Very Fast	High
Successive Appox	Medium – Fast	Low
Sigma-Delta	Slow	Low

109

4.4.4.a PRIMERI A/D PRETVARAČA

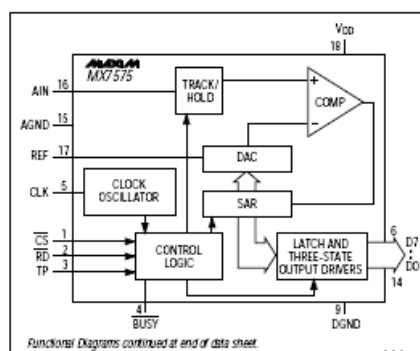
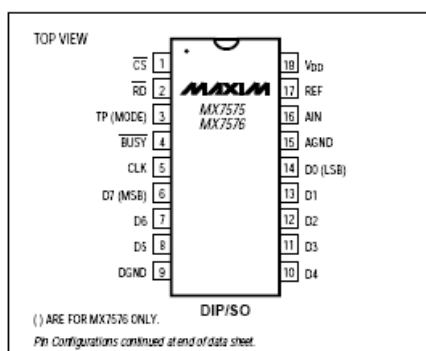
- **ICL7137** 3 ½ cifarski (decimalne cifre) A/D pretvarač (sa dvostrukom integracijom) (digitalni voltmetar)



110

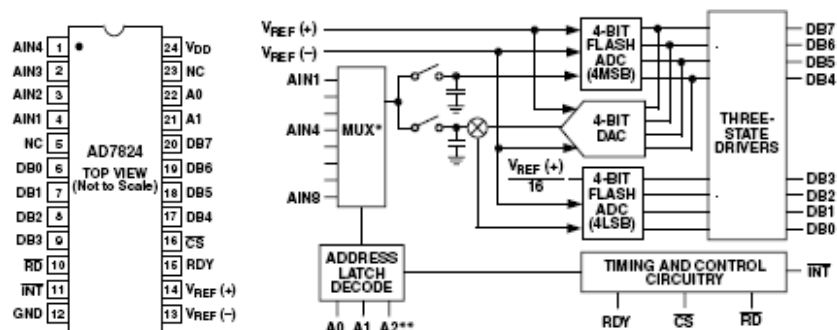
4.4.4.b PRIMERI A/D PRETVARAČA

- **MX7575/MX7576** CMOS, μ P-Compatible, $5\mu\text{s}/10\mu\text{s}$, 8-Bit ADCs (sa sukcesivnom aproksimacijom)
- Napajanje 5V, ugrađeno je kolo za odabiranje, granična frekvencija analognog signala je 50 kHz.



4.4.4.c PRIMERI A/D PRETVARAČA

- **AD7824/AD7828** LC²MOS High Speed 4- and 8-Channel 8-Bit ADCs
- Poseban četvorobitni pretvarač direktnog (flash) tipa za gornjih četiri bita i drugi pretvarač za preostala četiri bita. Vreme pretvaranja $2,5\mu\text{s}$.



Kraj II. dela

DIGITALNO PROJEKTOVANJE
PRIMENOM SSI I MSI FUNKCIONALNIH
JEDINICA
(TRADICIONALNO PROJEKTOVANJE)