

Predmet: DIGITALNA ELEKTRONIKA
Predmetni nastavnik: Dr Nándor Burány

4. semestar
Broj časova: 2+2

I. DEO

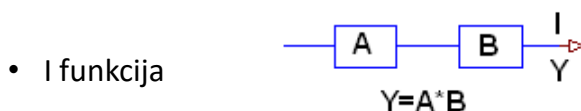
PITANJA VEZANA ZA FIZIČKU REALIZACIJU DIGITALNIH ELEKTRONSKIH KOLA

Opšte teme koje se odnose podjednako na SSI, MSI, LSI i VLSI digitalna integrisana kola.

- Strujna logika - naponska logika
- Fizičke karakteristike
- Posledice kašnjenja: hazardi
- Tehnologije izrade digitalnih integrisanih kola

1.1.a STRUJNA LOGIKA

- Strujna logika je bila karakteristična **na počecima** digitalne elektronike (upravljanje mehaničkim prekidačima i elektromagnetnim prekidačima).
- **Prekidači**: dva stanja (provodi - 1, ne provodi - 0).
- Ostvarivanje **logičkih funkcija** kombinacijom prekidača.

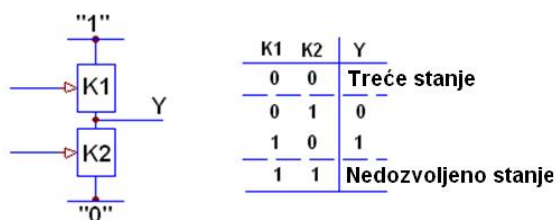


- I relativno **složeni zadaci automatizacije** su rešavani na ovaj način, ponekad se primenjuje čak i danas.

3

1.1.b NAPONSKA LOGIKA

- Kod savremenih digitalnih kola uglavnom se primenjuje naponska logika.
- **Formiraju se određeni naponski nivoi** korišćenjem izvora napona i elektronskih prekidača (tranzistori).



- Pored **dva dobro definisana naponska nivoa (0, 1)** ponekad se koristi i treće (neodređeno) stanje.

4

1.1.c PREKIDAČI U LOGIČKIM (DIGITALNIM) KOLIMA

- Bipolarni tranzistori
- MOSFET-ovi
- **Konačna vremena prebacivanja** - kašnjenja u promeni logičkih nivoa
- **Konačne otpornosti** u uključenom i isključenom stanju - dolazi do pomaranja logičkih nivoa.

5

1.2.1 FIZIČKE KARAKTERISTIKE - PRENOSNA KARAKTERISTIKA

Idealna karakteristika:

- idealni prekidači koji rade u protivfazi.

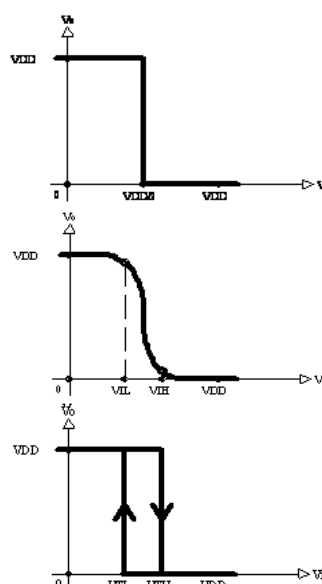
Realna karakteristika:

- realni prekidači, postepeni prelaz.

Karakteristika sa

histerezom:

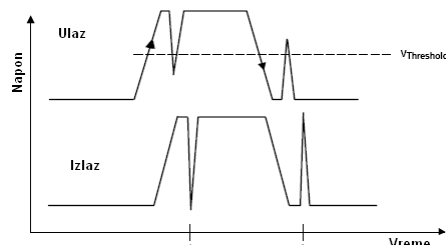
- dvoznačna zavisnost, skokoviti prelaz.



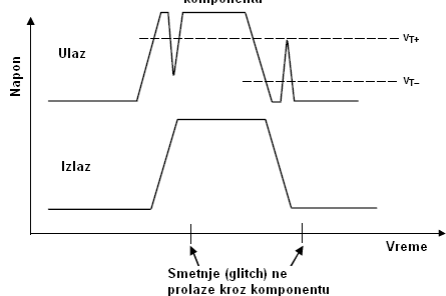
6

1.2.1 b UTICAJ HISTEREZE

1. Bez histereze
smetnje sa ulaza
prenose se na izlaz,
ponekad čak
pojačano.



2. Primenom histereze,
smetnje do
određenog nivoa
(pragovi) **ne utiču na**
izlazni signal.



7

1.2.2 FIZIČKE KARAKTERISTIKE - LOGIČKI NIVOI

- Izlazni logički nivoi: V_{OL} , V_{OH} .
- Ulazni logički nivoi: V_{IL} , V_{IH} .
- **Pravilni odnosi** između ulaznih i izlaznih nivoa:
 $V_{OL} < V_{IL}$, $V_{OH} > V_{IH}$.
- **Kaskadna veza**: izlaz jednog kola upravlja ulazom drugog kola.
- Logički nivoi u nekoj meri zavise od napona napajanja, opterećenja i temperature.
- Manja odstupanja postoje i između različitih primeraka kola istog tipa, čak i pod istim uslovima.

8

1.2.3.a FIZIČKE KARAKTERISTIKE - MARGINE SMETNJI

- Na istoj skali se predstavljaju **ulazni i izlazni logički nivoi** (opsezi nivoa):



- U prikazanom slučaju **dijagram je simetričan** u odnosu na tačku $V_{DD}/2$, što ne mora biti slučaj kod svakog kola.
- Margina smetnji za nizak logički nivo (0):

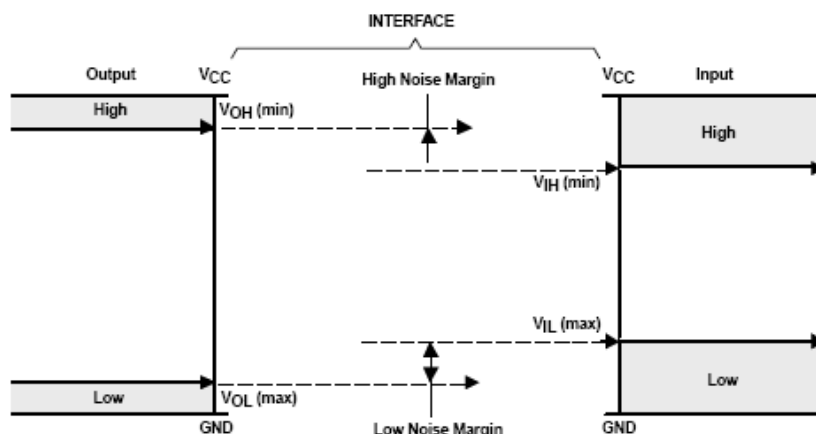
$$NM_0 = V_{ILMAX} - V_{OLMAX}$$
- Margina smetnji za visoki logički nivo (1):

$$NM_1 = V_{OHMIN} - V_{IHMIN}$$

9

1.2.3.b FIZIČKE KARAKTERISTIKE - MARGINE SMETNJI

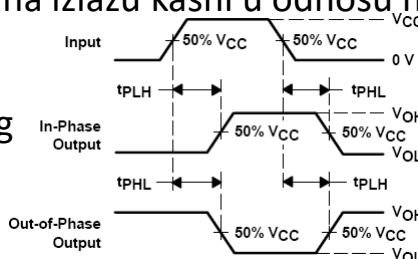
- Margine smetnji - drugi prikaz:



10

1.2.4 FIZIČKE KARAKTERISTIKE - KAŠNJENJA

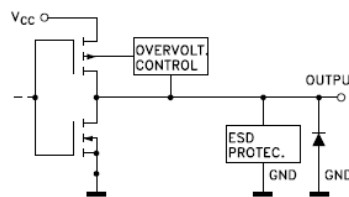
- Za promenu stanja prekidača (tranzistori) **potrebno je izvesno vreme.**
- Formiranje logičkog nivoa na izlazu kasni u odnosu na skok ulaznog napona.
- Umesto konkretnih vrednosti zadaju se opsezi zbog **varijacija parametara.**
- Kašnjenja se javljaju i na **linijama prenosa.**
- Pri proučavanju uticaja smetnji treba uzimati najnepovoljniji slučaj (najveće kašnjenje).



PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	T _A = 25°C		SN54AHC08		SN74AHC08		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	
t _{PLH}	A or B	Y	C _L = 15 pF	4.3*	5.9*	1*	7*	1	7	ns
t _{PHL}				4.3*	5.9*	1*	7*	1	7	
t _{PLH}	A or B	Y	C _L = 50 pF	5.8	7.9	1	9	1	9	1ns
t _{PHL}				5.8	7.9	1	9	1	9	

1.2.5 FIZIČKE KARAKTERISTIKE - OPTERETLJIVOST IZLAZA

- Izlazni signal se redovno formira pomoću dva tranzistora.
- **Pad napona** na tranzistorima zavisi od **veličine i smera struje.**
- Pri preopterećenju poremetete se logički nivoi.
- Treba računati i na **povećanje kašnjenja.**
- Opteretljivost se može zadati preko broja standardnih ulaza koji se može vezati na dati izlaz (**fan out**) (uvek ≥1), ili preko konkretnih vrednosti struja ↓.



PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			SN54AHC08		SN74AHC08		UNIT
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V _{OH}	I _{OH} = -50 μA	2 V	1.9	2	1.9	1.9	V			
		3 V	2.9	3	2.9	2.9				
		4.5 V	4.4	4.5	4.4	4.4				
	I _{OH} = -4 mA	3 V	2.58		2.48	2.48				
	I _{OH} = -8 mA	4.5 V	3.94		3.8	3.8				
V _{OL}	I _{OL} = 50 μA	2 V		0.1	0.1	0.1	V			
		3 V		0.1	0.1	0.1				
		4.5 V		0.1	0.1	0.1				
	I _{OL} = 4 mA	3 V		0.36	0.5	0.44				
	I _{OL} = 8 mA	4.5 V		0.36	0.5	0.44				

1.2.6 FIZIČKE KARAKTERISTIKE - POTROŠNJA

- Za regularan rad kola potrebna je **struja iz izvora napajanja** (V_{CC} ili V_{DD}).
- **Statički gubici** (struje polarizacije) - redovno su male vrednosti.
- Uzroci **dinamičkih gubitaka**:
 1. preklapanje između vremena provođenja gornjeg i donjeg tranzistora,
 2. kapacitivno opterećenje na izlazu (sopstvena i spolja priključena kapacitivnost)
- Dinamički gubici se zadaju preko **ekvivalentnog kapacitivnog opterećenja** (C_{PD}): $I_{CCDYN} = V_{CC} * C_{PD} * f$.

Symbol	Parameter	Test Condition V_{CC} (V)	Value						Unit	
			$T_A = 25^\circ\text{C}$			-40 to 85°C		-55 to 125°C		
			Min.	Typ.	Max.	Min.	Max.	Min.		Max.
C_{IN}	Input Capacitance	5.0		5	10		10		10	pF
C_{PD}	Power Dissipation Capacitance	5.0		40						pF

13

1.2.7 FIZIČKE KARAKTERISTIKE - TEMPERATURNI OPSEZI

- Opsezi: lagerovanje (storage), radni (operating)
- Prema području primene: komercijalni (commercial), industrijski (industrial), vojni (military)

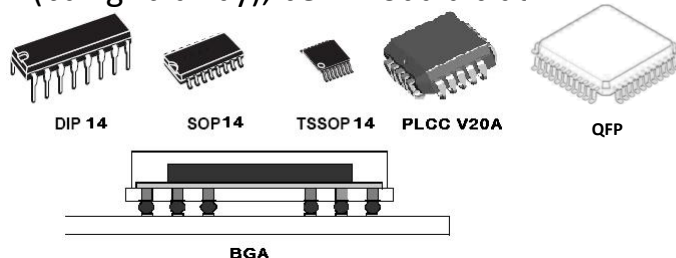
Temperatura	Komercijalni	Industrijski	Vojni
Lagerovanje	-65...+150°C	-65...+150°C	-65...+150°C
Radni opseg	0...70°C	-25...85°C	-55...+150°C

- Primer iz kataloga:

T_{stg}	Storage Temperature	-65 to +150	°C
T_{op}	Operating Temperature	-55 to 125	°C

1.2.8 FIZIČKE KARAKTERISTIKE - KUĆIŠTA

- **DIL** ili **DIP** (dual in-line package) - najstariji, razmak nožica (izvoda) u redu je 1/10 inča, između redova 3/10 inča.
- **SOP** (small outline package), razmak nožica 1/20 inča.
- **TSSOP** (thin shrink small outline package), izvodi su još gušće postavljeni ($\leq 0,65\text{mm}$).
- **PLCC** (plastic chip carrier), izvodi sa četiri strane
- **QFP** (quad flat pack), izvodi sa četiri strane
- **BGA** (ball grid array), bez izvoda u tradicionalnom smislu.



15

1.3 POSLEDICE KAŠNJENJA: HAZARDI

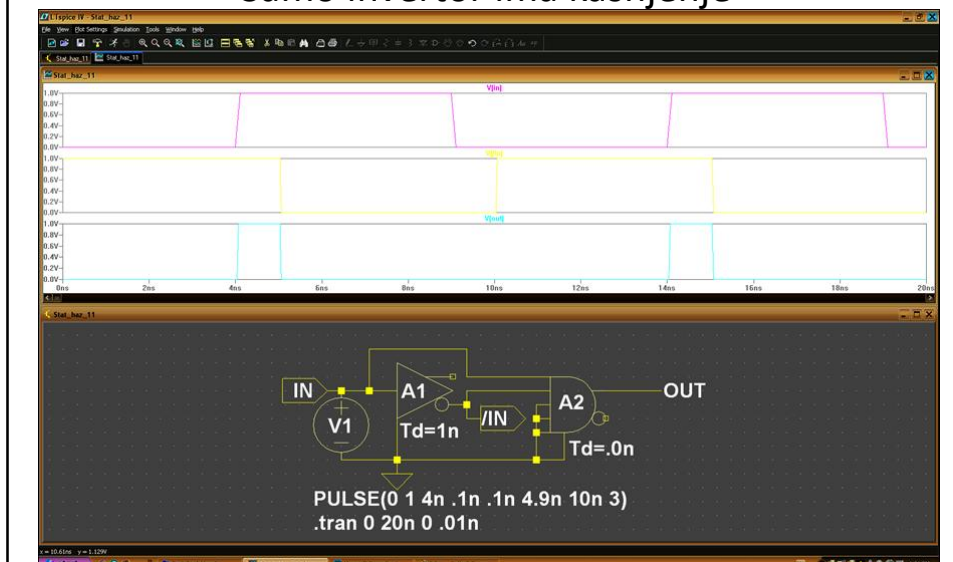
- Zbog neizbežnih kašnjenja, u nekim kratkim intervalima (privremeno) izlazi logičkih kola ne daju logičke nivoe koji slede iz realizovane logike.
- **Pogrešni logički nivoi mogu da dovedu do pogrešnih reagovanja** u preostalom delu kola.
- Greška može biti **prolazna** ili **trajna**.
- **Primer** (sledeći slajd): izlaz / kola, prema datoj logici, uvek bi trebao da bude na logičkoj nuli, ipak se kratkotrajno **pojavljuje logička jedinica**.

$$Y = X \cdot \bar{X} = 0$$

16

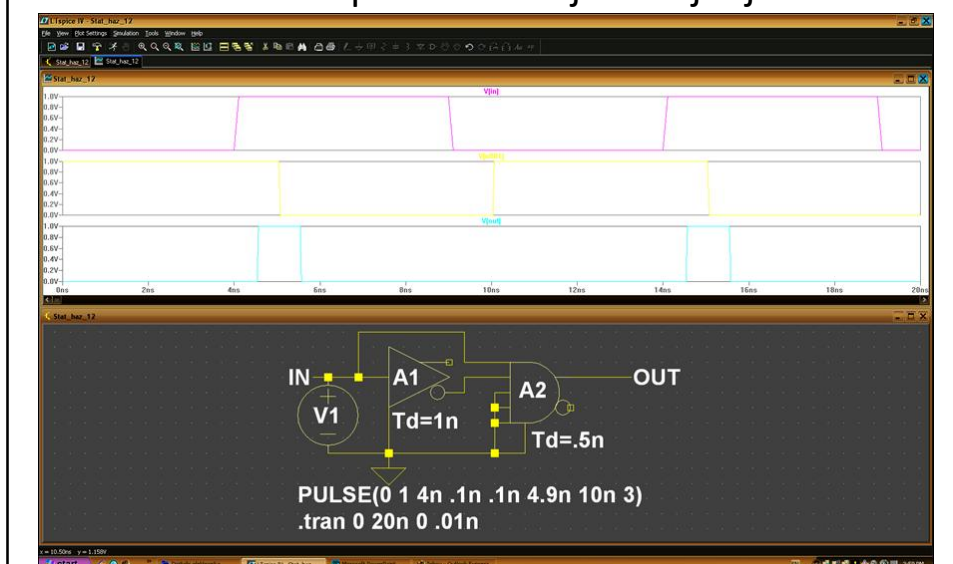
1.3.a HAZARDNO PONAŠANJE USLED KAŠNENJA U JEDNOM PROSTOM KOLU

Samo invertor ima kašnjenje



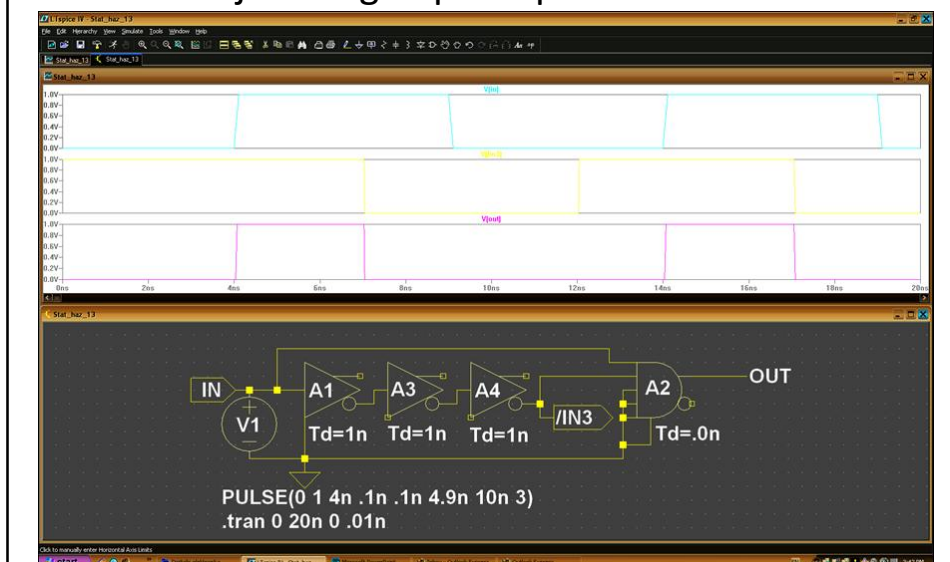
1.3.b HAZARDNO PONAŠANJE USLED KAŠNENJA U JEDNOM PROSTOM KOLU

Obe komponente imaju kašnjenje



1.3.c HAZARDNO PONAŠANJE USLED KAŠNENJA U JEDNOM PROSTOM KOLU

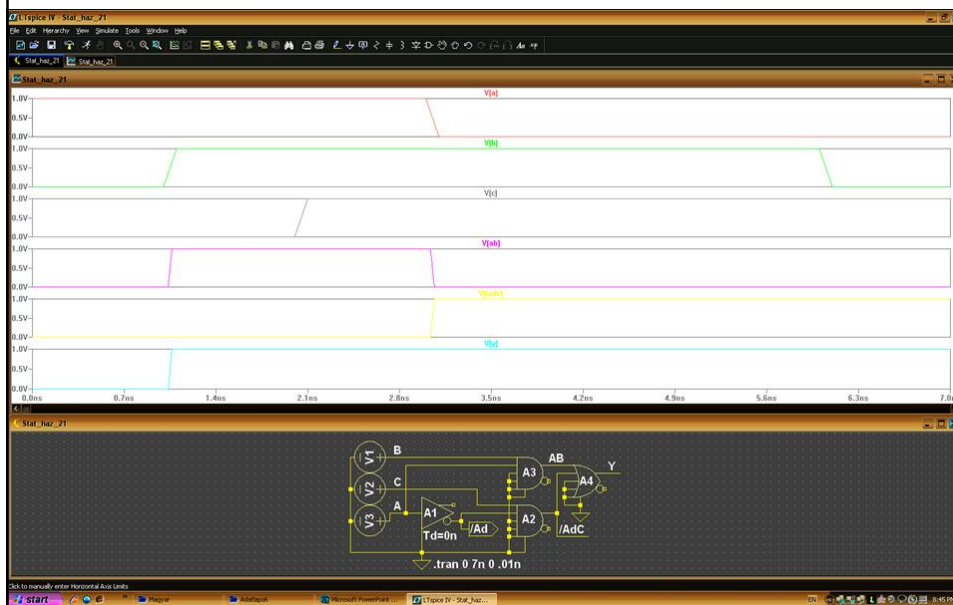
Formiranje dužeg impulsa pomoću tri invertora



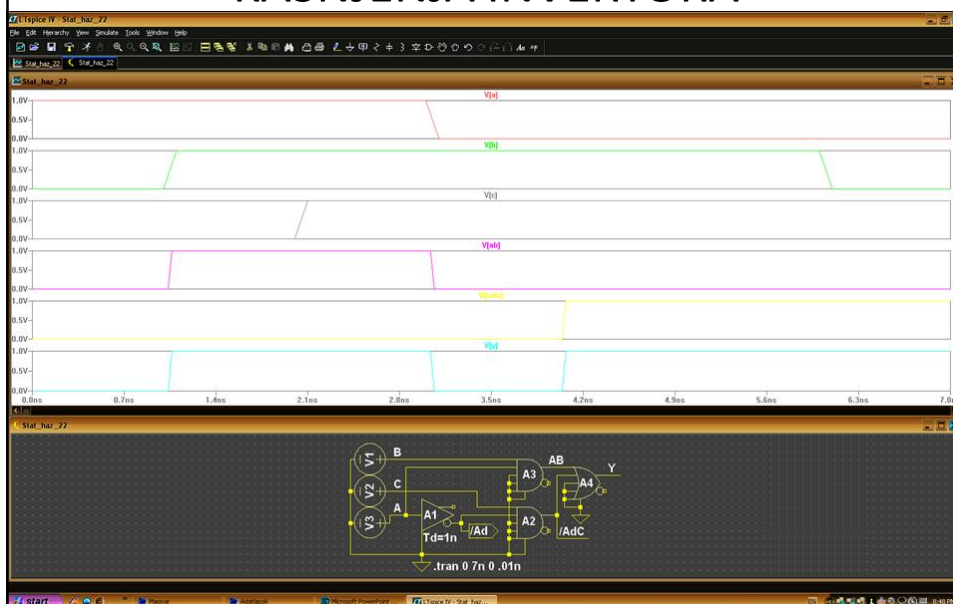
1.3.1 STATIČKI HAZARD

- Pod statički hazardom podrazumevamo situaciju kada, umesto da stoji na fiksnom logičkom nivou, logički signal **kratkotrajno uzima suprotnu vrednost (glitch)**.
- Prethodni primeri su bili statički hazardi.
- Na sledećim slajdovima analiziraće se **statički hazard prisutan u složenijem kolu**.
- 1.3.1.a - nema kašnjenja - nema ni hazarda
- 1.3.1.b - kolo za sprezanje ima kašnjenje, pojavljuje se hazard
- 1.3.1.c - primenom redundantnog bloka eliminiše se hazard.

1.3.1.a NEMA KAŠNJENJA - NEMA HAZARDA



1.3.1.b NASTUPA HAZARD ZBOG KAŠNJENJA INVERTORA



1.3.1.c ELIMINACIJA STATIČKOG HAZARDA

Pošto u jednom kratkom intervalu na oba ulaza ILI kola dolazi logička nula, i izlaz će da padne na nulu.

A\BC	00	01	11	10
0	0	1	1	0
1	0	0	1	1

/AC
AB

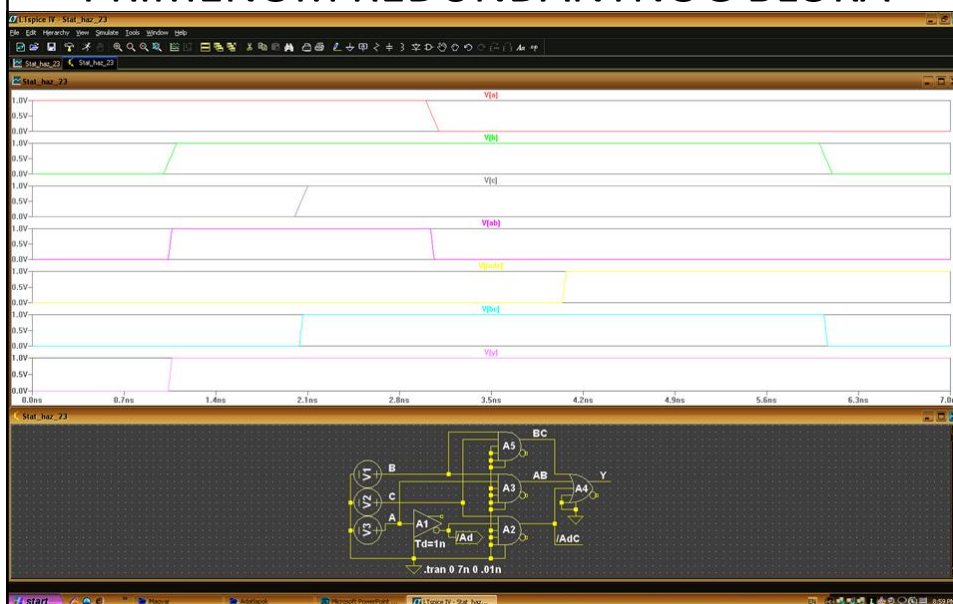
Dodavanjem jednog **redundantnog bloka** (još jedan logički proizvod) **ne menja se logička funkcija** ali se **eliminiše hazard**. Nije uvek minimizirano kolo ujedno i optimalno kolo!

A\BC	00	01	11	10
0	0	1	1	0
1	0	0	1	1

BC

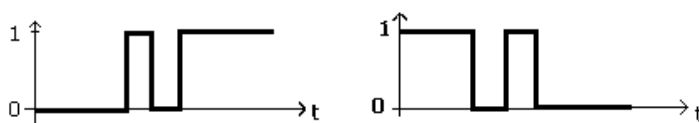
23

1.3.1.d ELIMINACIJA HAZARDA PRIMENOM REDUNDANTNOG BLOKA



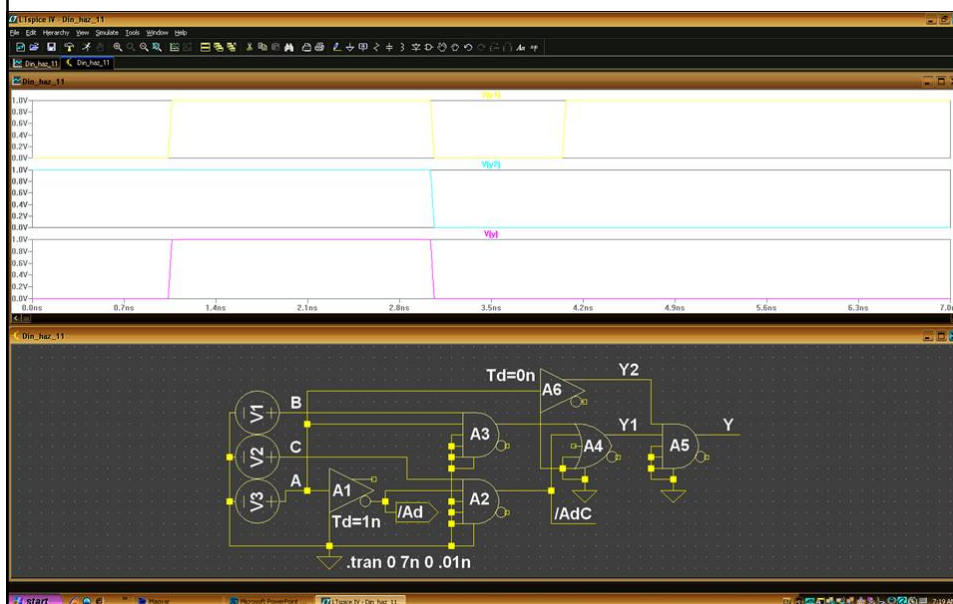
1.3.2 DINAMIČKI HAZARD

- Pojavlja se u situacijama kada se **menja logička vrednost** na izlazu digitalnog kola (u skladu sa funkcijom koja se realizuje).
- Ako se promena nivoa ne odigrava pravilno, već se javlja **višestruki skok** gore-dole, reč je o dinamičkom hazardu.

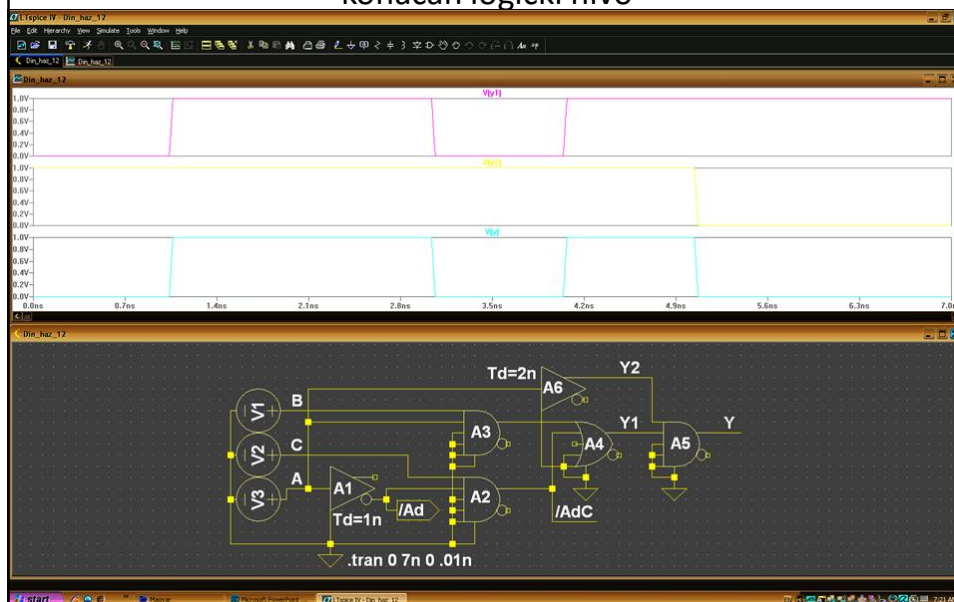


- Primer: Ranije prikazano kolo sa statičkim hazardom, dopunjeno sa 1 kolom i sa jednim kašnjenjem. 25

1.3.2.a DINAMIČKI HAZARD - Ako A6 nema kašnjenje, izlaz Y odmah skače na konačan logički nivo, bez obzira na statički hazard kod Y1



1.3.2.b DINAMIČKI HAZARD - Zbog kašnjenja kod A6 i statičkog hazarda kod Y1 , izlaz Y skače gore-dole pre nego što nastaje konačan logički nivo



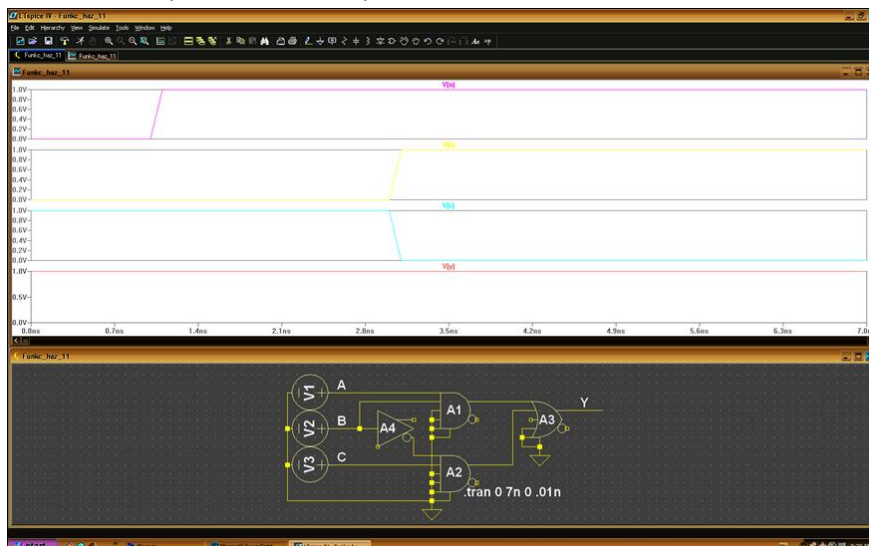
1.3.3 FUNKCIONALNI HAZARD

- **Više ulaza** se menja približno istovremeno
- **Izlaz zavisi od redosleda promena** - javljaju se kratkotrajni skokovi (glitch).
- Moguća rešenja:
 - uvođenje namernih kašnjenja,
 - sinhronizacija ulaza.

1.3.3.a FUNKCIONALNI HAZARD

- ABC: 101→110
- B i C se menjaju istovremeno
- Y: 1→1 (nema hazarda)

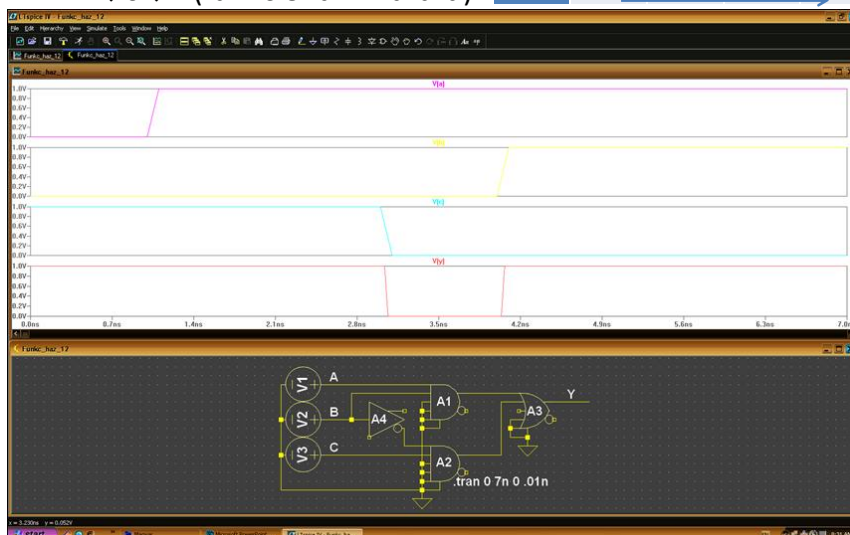
A\BC	00	01	11	10
0	0	1	0	0
1	0	1	1	1



1.3.3.b FUNKCIONALNI HAZARD

- ABC: 101→100→110
- prvo se menja C, zatim B
- Y: 1→0→1 (funktionalni hazard)

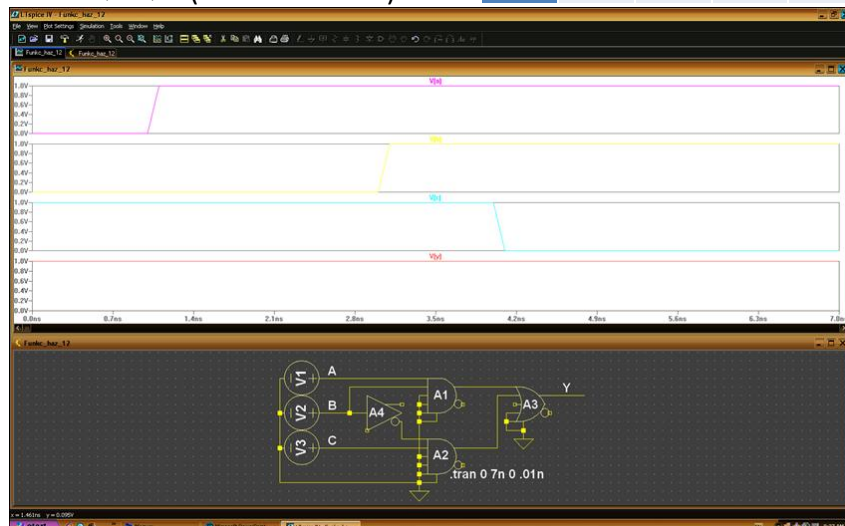
A\BC	00	01	11	10
0	0	1	0	0
1	0	1	1	1



1.3.3.c FUNKCIONALNI HAZARD

- ABC: 101 → 111 → 110
- prvo se menja B, zatim C
- Y: 1 → 1 → 1 (nema hazarda)

A\BC	00	01	11	10
0	0	1	0	0
1	0	1 → 1	→ 1	1

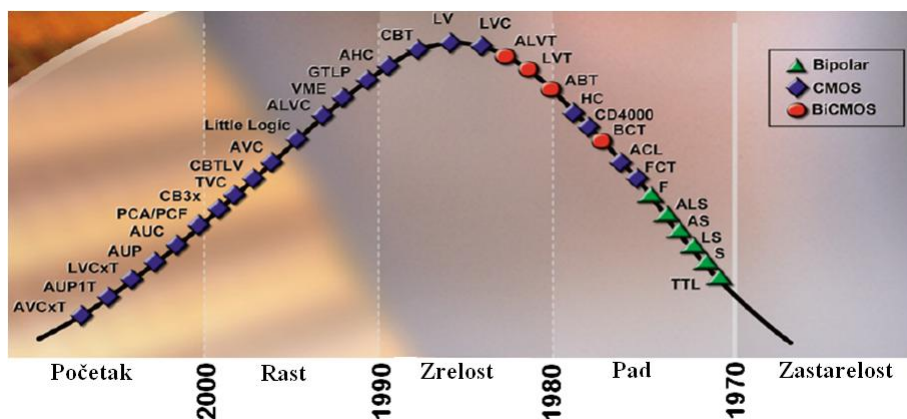


1.4 TEHNOLOGIJE IZRADE INTEGRISANIH KOLA

- Iste logičke funkcije
- Različite tehnologije (primenjene komponente i postupci)
- Osnovne tehnologije: **bipolarna, CMOS i mešovita (BiCMOS)**
- Moguće je **optimizirati** određene parametre
- Pravci razvoja:
 - **smanjenje kašnjenja** - redovno povlači za sobom povećanje gubitaka,
 - **smanjenje napona napajanja** - redovno se kvare margine smetnji.

1.4.1.a POPULARNOST I ŽIVOTNI CIKLUS FAMILIJA LOGIČKIH KOLA

Dijagram popularnosti kola proizvodnje **Texas Instruments**

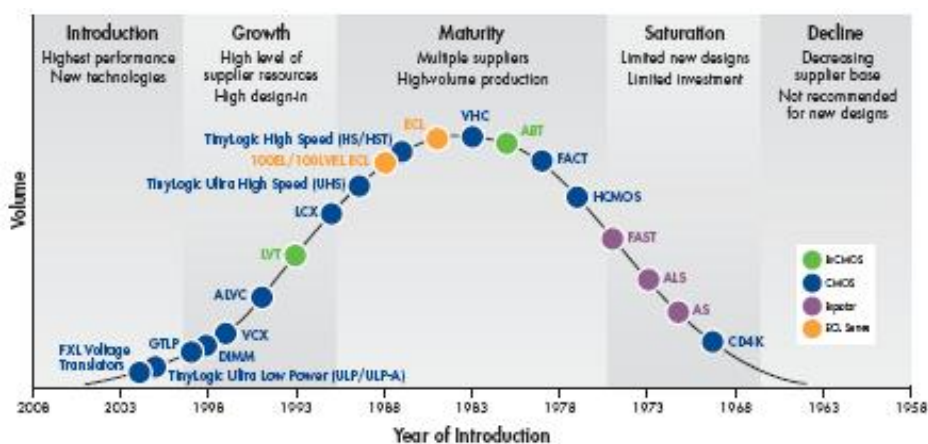


Na desnoj strani - zastarela kola, samo za potrebe servisiranja,
Na sredini - kola razvijena osamdesetih godina, danas su najviše primenjena,
Levo - familije kola koja ovih godina osvajaju tržište.

33

1.4.1.b POPULARNOST I ŽIVOTNI CIKLUS FAMILIJA LOGIČKIH KOLA

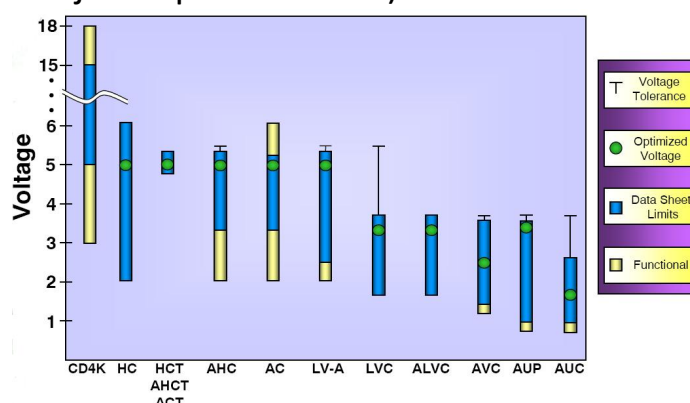
Dijagram popularnosti logičkih kola firme **Fairchild** (ta firma je proizvela prva integrisana kola pre više od pedeset godina).



34

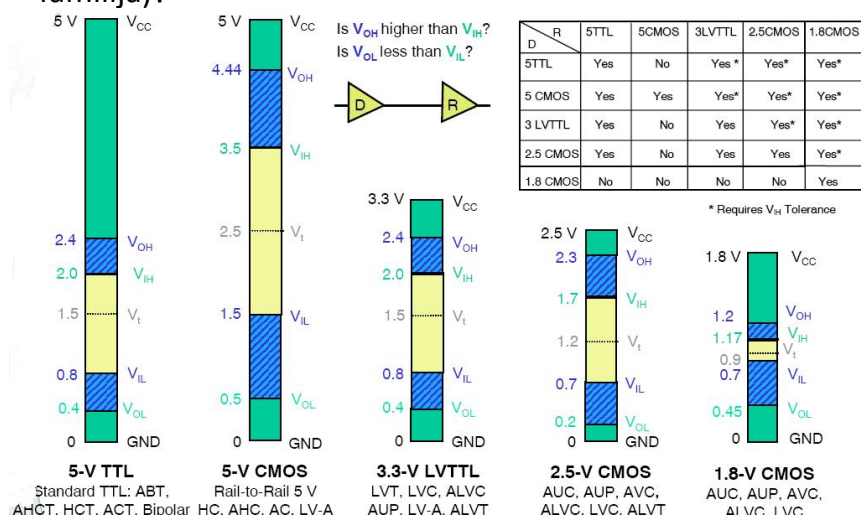
1.4.2 PODELA PREMA NAPONU NAPAJANJA

- Neke familije logičkih kola su projektovane za **fiksne vrednosti napona napajanja**, druge za **širi opseg**.
- Optimalna vrednost, nazivna vrednost, tolerancija u odnosu na napon, rad van radnog opsega (sa promenjenim parametrima).



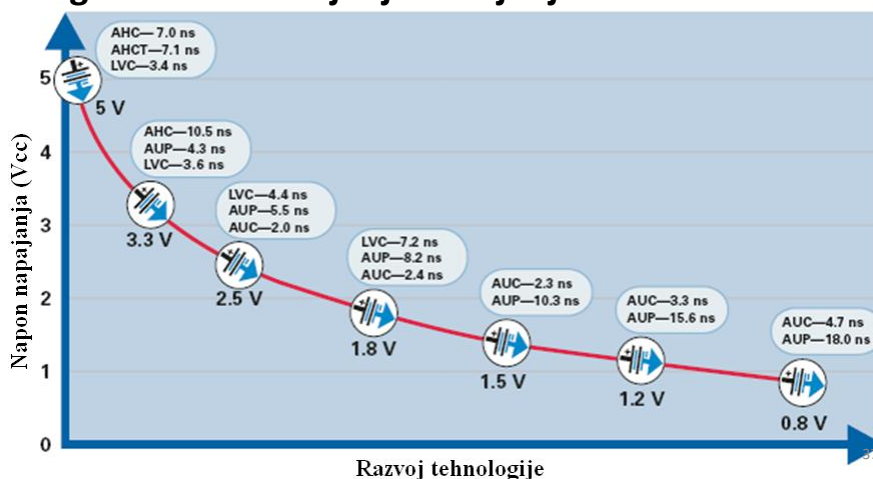
1.4.3 A KOMPATIBILNOST LOGIČKIH NIVOA

- **Unutar jedne familije** kola su **uvek kompatibilna** (mogu se vezati ulaz(i) na izlaz).
- Koja kola sa čime se može pobuditi (u slučaju različitih familija)?



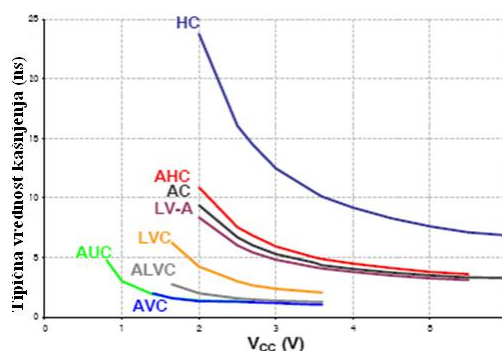
1.4.4.a ZAVISNOST KAŠNJENJA OD NAPONA NAPAЈANJA

- Texas Instruments Logic Selection Guide 2007.
- Cilj smanjenja napona napajanja je smanjenje gubitaka i smanjenje kašnjenja.



1.4.4.b ZAVISNOST KAŠNJENJA OD NAPONA NAPAЈANJA

- Pojedine familije logičkih kola se ne projektuju za fiksni napon napajanja već za neki opseg napona.
- Unutar iste familije, **pri smanjenju napona napajanja rastu kašnjenja.**



38

1.4.5.a RASPOLOŽIVI IZBOR LOGIČKIH FUNKCIJA U POJEDINIM FAMILIJAMA LOGIČKIH KOLA

Primer 1: Kola za sferzanje proizvodnje Texas Instruments

Buffers, Drivers and Transceivers

✓ Product available in technology indicated + New product planned in technology indicated
 CP = center pin OC = open collector OD = open drain PP = push-pull TP = tri-state SS = 3-state

DESCRIPTION	OUTPUT	TYPE	TECHNOLOGY																						
			ABT	AC	ACT	ADC	ADCT	ALB	ALVC	ALVT	AP	APC	APP	BCT	CBK	F	FCT	HC	HCT	LB	LVA	LVC	LVT	S	TTL
Single Buffers/Drivers	OD	1006																							
	SS	10240																							
Single Inverters		1004				✓	✓																		
Single Schmitt-Trigger Inverters		1014				✓	✓																		
Unbuffered Single Inverters		10004				✓																			
		10004																							
Dual Buffers/Drivers	SS	2006																							
		20240																							
Dual Inverters		2004																							
		20004																							
Dual Schmitt-Trigger Inverters		2014																							
		20014																							
Triple Buffers/Drivers	OD	3006																							
Triple Inverters		3004																							
Triple Schmitt-Trigger Inverters		3014																							
Hex Buffers/Drivers	OC	06																							
	OD	06																							
	OC	16																							
	SS	306																							
	SS	306																							
Hex Buffers/Converters	OC	1006																							
		4000																							
Hex Buffers/Converters		4040																							
Hex Drivers		1004																							

1.4.5.b RASPOLOŽIVI IZBOR LOGIČKIH FUNKCIJA U POJEDINIM FAMILIJAMA LOGIČKIH KOLA

Primer 2:
Grupe logičkih kola proizvodnje Fairchild prema funkcijama i familijama

	ABT	AC	ACT	ADC	ADCT	ALB	ALVC	ALVT	AP	APC	APP	BCT	CBK	F	FCT	HC	HCT	LB	LVA	LVC	LVT	S	TTL	
BICMOS																								
ABT	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
LVT	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
CMOS																								
CD4K	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
ADVC	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
LCA	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
CROSSVOLT™																								
LVX	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
VCA	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
FACT™ AC/ACT																								
FACT Quad Series™ ACQ/ACTQ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
EXL Voltage Translators																								
EXL	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
HC/HCT																								
HS	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
HST	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
URS	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
Tri-Stage®																								
ULP/ULP-A	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
VHC/VHCT																								
VHC/VHCT	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
Z4C																								
Z4C	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
Bipolar																								
ALS	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
AS	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
FAST®	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
FAST™	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
ECL																								
F100K Series	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
100K/100 Series	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

FORMIRANJE OZNAKE TIPa LOGIČKIH I.K.

Device Names and Package Designators

1 Standard Prefix

Examples: SN – Standard Prefix
SNJ – Conforms to MIL-PRF-38535 (QML)

2 Temperature Range

Examples: S4 – Military
T4 – Commercial

3 Family

Examples: Blank = Transistor-Transistor Logic (TTL)
ABT – Advanced BiCMOS Technology
ABTEETL – Advanced BiCMOS Technology/
Enhanced Transceiver Logic
ACACT – Advanced CMOS Logic
AHC/AHCT – Advanced High-Speed CMOS Logic
ALB – Advanced Low-Voltage BiCMOS
ALS – Advanced Low-Power Schottky Logic
ALVC – Advanced Low-Voltage CMOS Technology
ALVT – Advanced Low-Voltage BiCMOS Technology
AS – Advanced Schottky Logic
AUC – Advanced Ultra-Low-Voltage CMOS Logic
AUP – Advanced Ultra-Low-Power CMOS Logic
AVC – Advanced Very Low-Voltage CMOS Logic
BCT – BiCMOS Bus-Interface Technology
CB3C – 2.5-V/3.3-V Low-Voltage High-Density
Bus-Switch Coaster Technology Logic
CB3T – 2.5-V/3.3-V Low-Voltage Transistor
Bus-Switch Coaster Technology Logic
CBT – Coaster Technology
CBTC – 5-V Bus-Switch Coaster Technology Logic
With 3.3-V Undervolt Protection
CBTLV – Low-Voltage Coaster Technology Logic
F – F Logic
FB – Backplane Transceiver Logic/Fiberbus+
GTL – Gunning Transceiver Logic
GTLPL – Gunning Transceiver Logic Plus
HDMCT – High-Speed CMOS Logic
HSTL – High-Speed Transceiver Logic
LS – Low-Power Schottky Logic
LV-A – Low-Voltage CMOS Technology
LV-AT – Low-Voltage CMOS Technology –
TTL Compatible
LVC – Low-Voltage CMOS Technology
LVT – Low-Voltage BiCMOS Technology
PCA/PCF – I²C Intra-Integrated Circuit Applications
S – Schottky Logic
SSTL – Stub Series-Terminated Logic
SSTU – Stub Series-Terminated
Ultra-Low-Voltage Logic
SSTVSTVF – Stub Series-Terminated
Low-Voltage Logic
TVC – Transistor Voltage Clamp Logic
VME – VMEbus/Amibus Eurocard Bus Technology

Example:

SH 74 LVC H 16 2 244 A DGG R E4

4 Special Features

Examples: Blank = No Special Features
C – Configurable V_{CC} (LVCC)
D – Low-Stiffing Signal (LSST)
H – Bus Hold (ALVCH)
K – Underfoot Protection
Circuitry (CETR)
R – Damping Resistor on Both Output
Ports (LVOR)
S – Schottky Clamping Diode (CEITS)
Z – Power-Up 3-State (LVCC)

5 Bit Width

Examples: Blank = Gates, M6I, and Octals
10 – Single Gate
20 – Dual Gate
30 – Triple Gate
8 – Octal IEEE 1149.1 (JTAG)
16 – Widebus™ (16, 18, and 20 bit)
18 – Widebus IEEE 1149.1 (JTAG)
32 – Widebus™ (32 and 28 bit)

6 Options

Examples: Blank = No Options
2 – Series Clamping Resistor on One
Output Port
4 – Low SR Driver
25 – 25-Ω Line Driver

7 Function

Examples: 244 – Noninverting Buffer/Driver
374 – D-Type Flip-Flop
573 – D-Type Transparent Latch
640 – Inverting Transceiver

8 Device Revision

Examples: Blank = No Revision
Letter Designator A–Z

9 Packages

Commercial: D, DW – Small-Outline Integrated Circuit (SOIC)
DB, DBQ, DCT, DL – Shrink Small-Outline Package
(SSOP)
DBV, DGV – Thin Very Small-Outline Package (TVSOP)
DBU – Quarter-Size Small-Outline Package (QSOP)
DBV, DCK, DCY, PK – Small-Outline Transistor (SOT)
DCU – Very Thin Shrink Small-Outline Package (VSSOP)
DGG, FW – Thin Shrink Small-Outline Package (TSSOP)
FN – Plastic Leaded Chip Carrier (P-LCC)
GSM, GSE, GSP, ZSE, ZSF – MicroStar 80A™
Low-Pin-Count Fine-Pitch Ball Grid Array (LPBGA)
GQL, GQM, ZQL, ZQH – MicroStar J™
Very-Thin-Fine-Pitch Fine-Pitch Ball Grid Array (VFBGA)
N, NT, P – Plastic Dual-In-Line Package (PDIP)
NS, PS – Small-Outline Packages (SOP)
PAU, PAH, PCA, PCB, PM, PN, PZ – Thin Quad
Flatpack (TQFP)
PH, PL, PC – Quad Flatpack (QFP)
PZA – Low-Pin-Count Quad Flatpack (LQFP)
RGO, RGY – Quad Flatpack No Lead (QFN)
YZP – NanoStar™ and NanoStar™ Die-Side
Ball Grid Array (DSBGA)
Military: FK – Leadless Ceramic Chip Carrier (LCCC)
GB – Ceramic Pin Grid Array (CPGA)
HFP, HS, HT, HV – Ceramic Quad Flatpack (CQFP)
J, JT – Ceramic Dual-In-Line Package (C DIP)
W, WA, WD – Ceramic Flatpack (CFP)

10 Tape and Reel

R – Tape and reel packing (standard reel quantities)
T – Tape and reel packing (short reel, 250 units)

11 RoHS and Green Status

E – Conforms to JEDEC JESD7 E-Category specification for
Pb-Free and reduced environmentally unfriendly substances
G – Additional restrictions on environmentally unfriendly substances
(G and B) in addition to E – reductions

† DSBGA is the JEDEC reference for wafer chip scale
package (WCSP). 41

Kraj I. dela

(PITANJA VEZANA ZA FIZIČKU
REALIZACIJU DIGITALNIH
ELEKTRONSKIH KOLA)