

Digitalna elektronika - laboratorijske vežbe

2. Fizičke osobine digitalnih kola: kašnjenja, hazardi, prilagođenje impedanse

2.1 Teorija

Fizičke osobine logičkih / digitalnih kola su opisane u prezentaciji 1. Računske zadatke su kandidati videli na auditornim vežbama.

2.2 Opis

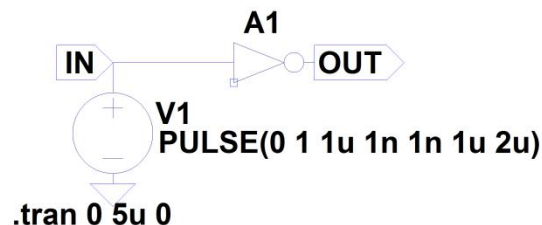
U okviru ove laboratorijske vežbe kandidati, računarskim simulacijama i merenjima, proveravaju kašnjenja određenih logičkih kola, analiziraju logičke hazarde koji su posledice kašnjenja i vrše prilagođenje impedanse.

2.3 Simulacije

Pre sastavljanja kola na eksperimentalnoj pločici i odgovarajućih merenja analizirati data kola računarskim simulacijama.

2.3.1 Kašnjenja digitalnih kola u LTspice biblioteci

Po osnovnom podešavanju bibliotečke komponente nemaju kašnjenja. Ispitati to za komponentu *inv* (logički invertor) iz biblioteke! Sastaviti navedeno simulaciono kolo! Izvršiti simulaciju! Da li se vidi kašnjenje kod ivica signala?

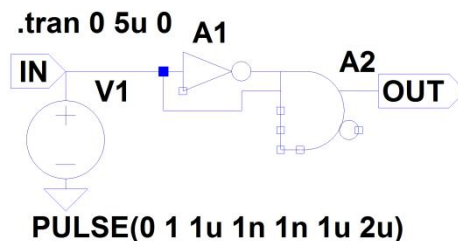


Slika 1.: Simulaciono kolo za ispitivanje idealnog logičkog invertora (bez kašnjenja).

Otvorite prozor *Component Attribute Editor* (desnim klikom na grafički simbol invertora) i u red označen sa *Value* upisati vrednost $T_d=100n$. Izvršite ponovo simulaciju! Šta se promenilo?

2.3.2 Statički hazard kod logičkih kola sa kašnjenjem

Sastaviti kolo za simulaciju prema šemi! Izvršiti simulaciju i nacrtati ulazni i izlazni signal. Da li se vidi hazardno ponašanje?

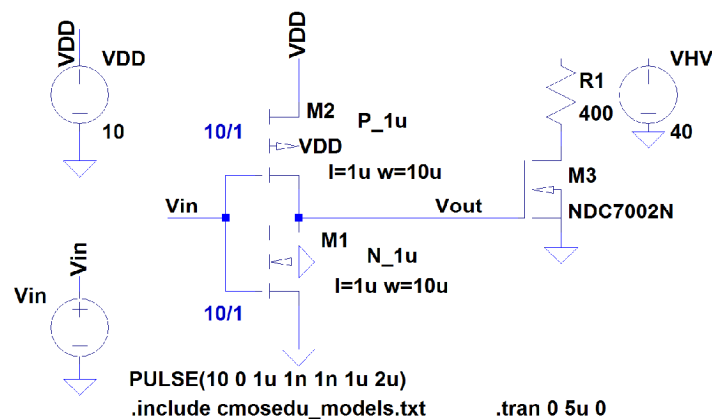


Slika 2.: Kolo bez kašnjenja i bez hazarda koje koristi logičke kapije bez kašnjenja.

Otvorite prozor *Component Attribute Editor* (desnim klikom na grafički simbol invertora) i u red označen sa *Value* upisati vrednost $T_d=100n$. Izvršite ponovo simulaciju! Da li se sad javlja hazard?

2.3.3 Prilagođenje impedanse

Obična logička kola nisu pogodna za pobudu snažnih MOSFET-ova jer ne daju / primaju dovoljnu struju na svom izlazu? Sastaviti simulaciono kolo u kome se snažni MOSFET pobuđuje pomoću običnog CMOS invertora! Izvršiti simulaciju i nacrtati dijagrame V_{in} i V_{out} ! Šta je problem kod signala V_{out} ?



Slika 3.: Pobuda snažnog MOSFET-a sa običnim CMOS invertorom.

Promeniti vrednost parametra *width* kod MOSFET-ova M1 i M2 na $w=100u$! Izvršiti ponovo simulaciju! U kom pogledu se promenio signal V_{out} ?

2.4 Oprema za merenje

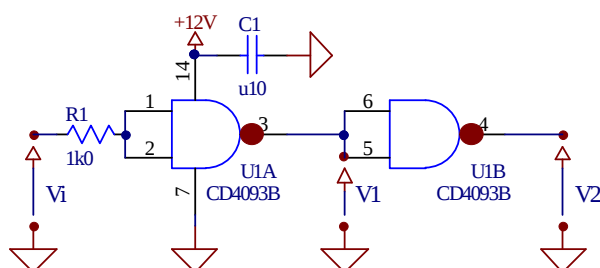
1. Eksperimentalna pločica
2. Dvokanalni digitalni osciloskop
3. Generator signala
4. Razna logička kola

2.5 Merenja

U ovom delu kandidati mere kašnjenja jednog logičkog kola, analiziraju pojavu statičkog hazarda i vide važnost prilagođenja impedanse.

2.5.1 Merenje kašnjenja logičkog kola CD4093B

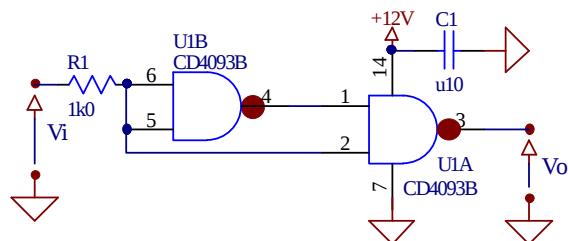
Sastaviti dato kolo na eksperimentalnoj pločici! Na ulaz povezati pravougaoni signal sa donjim nivoom od 0 V i gornjim nivoom od 12 V, frekvencije 100kHz! Osciloskopom pogledati vremenske dijagrame signala V_1 i V_2 ! Koliko je kašnjenje uzlazne ivice i silazne ivice signala V_2 u odnosu na odgovarajuće ivice signala V_1 ?



Slika 4.: Kolo za merenje kašnjenja logičkog kola tipa CD4093B.

2.5.2 Prikaz statičkog hazarda

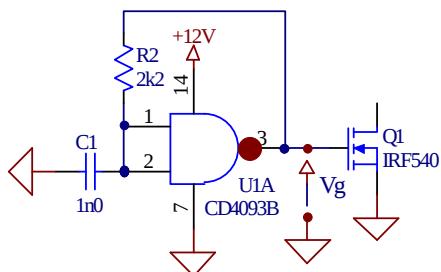
Sastaviti dato kolo na eksperimentalnoj pločici! Na ulaz dovesti pravougaoni signal sa donjim nivoom od 0 V i gornjim nivoom od 12 V, frekvencije 100kHz! Osciloskopom pogledati vremenske dijagrame signala V_i i V_o ! Koja nepravilnost se može uočiti? Koliko dugo traje neodgovarajući logički nivo na izlazu?



Slika 5.: Kolo za ispitivanje statičkog hazarda.

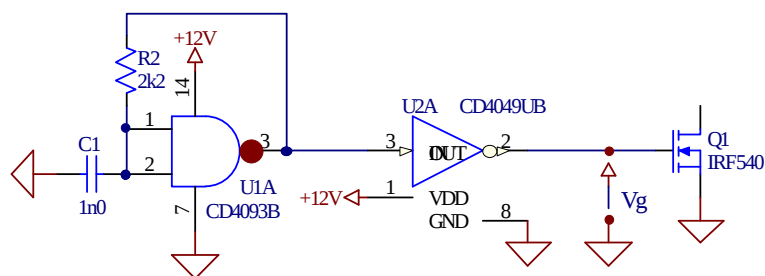
2.5.3 Ispitivanje prilagođenja impedanse

Sastaviti dato kolo na eksperimentalnoj pločici! Uključiti napajanje! Pogledati osciloskopom signal V_g ! Koja nepravilnost se može uočiti?



Slika 6: Pobuda snažnog MOSFET-a pomoću običnog logičkog kola.

Preraditi kolo prema sledećoj šemi! Zašto se sad dobije pravilniji dijagram za napon gate-a?



Slika 7: Pobuda snažnog MOSFET-a pomoću CMOS invertora sa snažnijim izlazom.

Student(i):

Ime:

Broj indeksa:

Potpis:

