

Név:	Index szám:	Pontszám: (max. 50)
------	-------------	------------------------

1. Invertált kimenetekkel rendelkező 3/8-as dekóder és megfelelő NEM-ÉS kapuk segítségével tervezze meg az $X=\Sigma(0,3,4,6,7)$ és az $Y=\Sigma(0,1,2,5)$ logikai függvényeket! Rajzolja meg a hálózat logikai rajzát!
(10 pont)

2. D flip-flop-ok és tetszőlegesen megválasztott logikai kapuk segítségével tervezzen egy olyan Moore-féle hálózatot, amely négybites, tízes alapú (dekadikus) számlálóként működik. A számlálás természetes bináris kódban történik.
(15 pont)

3. Rajzolja meg a megadott Verilog HDL leírásnak megfelelő logikai rajzot és magyarázza el a modul működését!
(10 pont)

```
module (in1, in2, out1, out2);  
input [2:0] in1;  
input in2;  
output out1, out2;  
wire out1, out2;  
assign out1 = |{in1, in2};  
assign out2 = ^in1;  
endmodule
```

4. Rajzolja le a lenti Verilog HDL leírásból szintetizálendő hardver rajzát és adja meg az in1, in2, sel és out jelek idődiagramját úgy, hogy a viselkedés megfeleljen az alábbi hardver-leírásnak! A diagramot húsz időegységnyi időtartamra rajzolja!
(15 pont)

```
module exam ();  
reg in1, in2, sel;  
wire out;  
assign out=(sel)?in1:in2;  
initial  
begin  
in1=0;  
in2=0;  
sel=0;  
end  
always  
#1 in1=~in1;  
always  
#2 in2=~in2;  
always  
#5 sel=~sel;  
endmodule
```

Ime:	Broj indeksa:	Broj poena: (max. 50)
------	---------------	--------------------------

1. Realizovati logičke funkcije $X = \Sigma(0,3,4,6,7)$ i $Y = \Sigma(0,1,2,5)$ primenom dekodera 3/8 sa invertovanim izlazima i odgovarajućih NI kola! Nacrtati logičku šemu proračunatog kola!

(10 poena)

2. Pomoću *D* flip-flop-ova i proizvoljno odabranih logičkih kola projektovati Moore-ovu mrežu koja će raditi kao četvorobitni dekadni brojač (modula 10)! Brojač treba da broji u prirodnom binarnom kodu!

(15 poena)

3. Nacrtati logičku šemu koja odgovara datom Verilog HDL opisu i objasniti šta radi navedeni modul!

(10 poena)

```
module (in1, in2, out1, out2);  
input [2:0] in1;  
input in2;  
output out1, out2;  
wire out1, out2;  
assign out1 = |{in1, in2};  
assign out2 = ^in1;  
endmodule
```

4. Nacrtati hardver koji će se sintetizovati na bazi dole navedenog Verilog HDL opisa i dati vremenske dijagrame za signale *in1*, *in2*, *sel*, *out* tako da ponašanje hardvera odgovara datom opisu! Dijagrame crtati za interval od dvadeset vremenskih jedinica!

(15 poena)

```
module exam ();  
reg in1, in2, sel;  
wire out;  
assign out=(sel)?in1:in2;  
initial  
begin  
in1=0;  
in2=0;  
sel=0;  
end  
always  
#1 in1=~in1;  
always  
#2 in2=~in2;  
always  
#5 sel=~sel;  
endmodule
```