

Név:	Index szám:	Pontszám: (max. 50)
------	-------------	------------------------

1. Tervezzen egy olyan kombinációs hálózatot, amely a bemeneti 000,001,010,011,100,101 kódsort a kimeneti 111,011,001,000,100,110 kódsorra alakítja át! Rajzolja meg a hálózat logikai rajzát!

(10 pont)

2. D flip-flop-ok és tetszőlegesen megválasztott logikai kapuk segítségével tervezzen egy olyan Moore-féle hálózatot, amely három bites bináris számlálóként működik, természetes bináris kódban számlál. Ha $A=0$, a számláló csak a páros állapotokon halad keresztül, ha $A=1$, csak a páratlan állapotokon halad keresztül.

(15 pont)

3. Rajzolja meg a megadott Verilog HDL leírásnak megfelelő tömbvázlatot és magyarázza el a modul működését!

(10 pont)

```
module exam(in0, in1, in2, in3, cmd, out);  
input in0, in1, in2, in3;  
input [1:0] cmd;  
output out;  
wire [3:0] vec = {in3, in2, in1, in0};  
assign out = vec[cmd];  
endmodule
```

4. Rajzolja le a lenti Verilog HDL leírásból szintetizálendő hardver rajzát és adja meg a Q1, Q2 és Q3 jelek idődiagramját úgy, hogy a viselkedés megfeleljen az alábbi hardver-leírásnak! Tételjeze fel, hogy az elemzés kezdetén mindhárom jel nulla értékű volt!

(15 pont)

```
module exam (clk, Q1, Q2, Q3)  
input clk;  
output Q1, Q2, Q3;  
reg Q1, Q2, Q3;  
always @ (posedge clk)  
begin  
    Q1<=~Q3;  
    Q2<=Q1;  
    Q3<=Q2;  
end  
endmodule
```

Tantárgyfelelős: Burány Nándor

Ime:	Broj indeksa:	Broj poena: (max. 50)
------	---------------	--------------------------

1. Projektovati kombinacionu mrežu koja niz ulaznih kodova 000,001,010,011,100,101 pretvara u sledeći niz izlaznih kodova: 111,011,001,000,100,110!

(10 poena)

2. Pomoću D flip-flop-ova i proizvoljno odabranih logičkih kola projektovati Moore-ovu mrežu koja predstavlja trobitni binarni brojač koji broji u prirodnom binarnom kodu! Pri kontrolnom ulazu $A=0$ brojač prolazi samo kroz parna stanja a pri $A=1$ samo kroz neparna stanja!

(15 poena)

3. Nacrtati blok šemu koja odgovara datom Verilog HDL opisu i objasnite šta radi navedeni modul!

(10 poena)

```
module exam(in0, in1, in2, in3, cmd, out);  
input in0, in1, in2, in3;  
input [1:0] cmd;  
output out;  
wire [3:0] vec = {in3, in2, in1, in0};  
assign out = vec[cmd];  
endmodule
```

4. Nacrtati hardver koji će se sintetizovati na bazi dole navedenog Verilog HDL opisa i dati vremenske dijagrame za signale $Q1$, $Q2$ i $Q3$ tako da ponašanje hardvera odgovara datom opisu! Pretpostaviti da su na početku analize sva tri signala imali nultu vrednost, dijagram crtati za deset perioda takt signala!

(15 poena)

```
module exam (clk, Q1, Q2, Q3)  
input clk;  
output Q1, Q2, Q3;  
reg Q1, Q2, Q3;  
always @ (posedge clk)  
begin  
    Q1<=~Q3;  
    Q2<=Q1;  
    Q3<=Q2;  
end  
endmodule
```

Predmetni nastavnik: Nándor Burány