

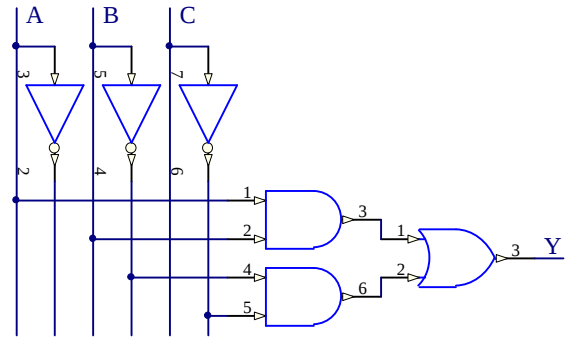
Név:

Index szám:

Pontszám:
(max. 50)

1. Írja fel a megadott logikai kapcsolásnak megfelelő $Y=f(A,B,C)$ függvényt, rajzolja meg a megfelelő Karnaugh táblát és az igazságtáblázatot! Írja fel az $\bar{Y}$ függvény minimalizált szorzatok összegeként, majd ez alapján alakítsa át az Y függvényt összegek szorzatára és rajzolja meg az ennek megfelelő minimális VAGY-ÉS hálózatot!

(10 pont)



2. D flip-flop-ok és tetszőlegesen megválasztott logikai kapuk segítségével tervezzen egy olyan Moore-féle hálózatot, amely $A=1$ vezérlőbemenet esetén természetes bináris kódban előre felé számlál, $A=0$ esetén viszont hátrafelé számlál, ugyancsak természetes bináris kódban.

(15 pont)

3. Rajzolja meg a megadott Verilog HDL leírásnak megfelelő állapot-gráfot és magyarázza el a modul működését!

(10 pont)

```
module seq3_detect (x,clk, y);
input x, clk;
output y;
reg [1:0] state;
parameter S0=2'b00, S1=2'b01, S2=2'b10,
S3=2'b11;
always @(posedge clk)
case (state)
S0: if (x) state <= S1;
else state <= S0;

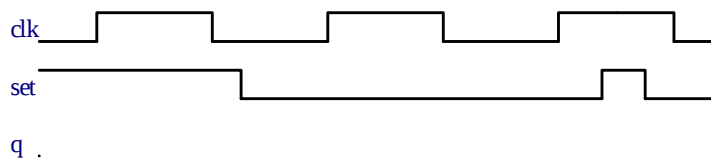
```

```
S1: if (x) state <= S2;
else state <= S0;
S2: if (x) state <= S3;
else state <= S0;
S3: if (x) state <= S3;
else state <= S0;
endcase
assign y = (state == S3);
endmodule
```

4. Rajzolja meg a q jel idődiagramját, hogy a viselkedés megfeleljen az alábbi hardver-leírásnak!

(15 pont)

```
module Exam (q, clk, set);
input clk, set;
output q;
reg q;
always @(negedge clk)
if (set)
q <= 1'b1;
else
q <= ~q;
endmodule
```

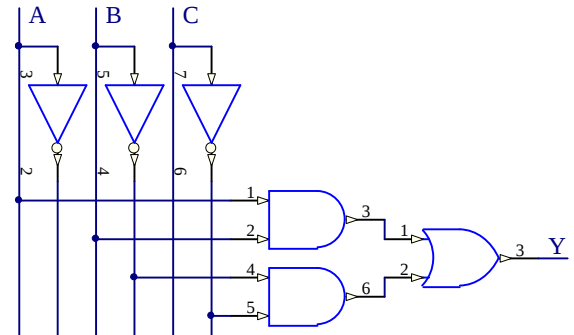


Tantárgyfelelős: Burány Nándor

Ime:	Broj indeksa:	Broj poena: (max. 50)
------	---------------	--------------------------

1. Napisati logičku funkciju $Y=f(A,B,C)$ koja odgovara datoj logičkoj šemi i nacrtati odgovarajuću Karnaugh-ovu tablicu i tablicu istinitosti! Napisati funkciju $\bar{Y}$ u formi minimizirane sume proizvoda, zatim na bazi toga izvesti funkciju Y u formi proizvoda logičkih suma i nacrtati minimalnu ILI-I mrežu!

(10 poena)



2. Pomoću D flip-flop-ova i proizvoljno odabranih logičkih kola projektovati Moore-ovu mrežu koja pri kontrolnom ulazu $A=1$ broji prema gore u prirodnom binarnom kodu, a pri ulazu $A=0$ broji prema dole, isto u prirodnom binarnom kodu.

(15 poena)

3. Nacrtati dijagram stanja koji odgovara datom Verilog HDL opisu i objasnite šta radi navedeni modul!

(10 poena)

```

module seq3_detect (x,clk, y);
input x, clk;
output y;
reg [1:0] state;
parameter S0=2'b00, S1=2'b01, S2=2'b10,
S3=2'b11;
always @(posedge clk)
case (state)
S0: if (x) state <= S1;
else state <= S0;

```

```

S1: if (x) state <= S2;
else state <= S0;
S2: if (x) state <= S3;
else state <= S0;
S3: if (x) state <= S3;
else state <= S0;
endcase
assign y = (state == S3);
endmodule

```

4. Docrtati vremenski dijagram za signal q tako da ponašanje hardvera odgovara datom opisu!

(15 poena)

```

module Exam (q, clk, set);
input clk, set;
output q;
reg q;
always @ (negedge clk)
if (set)
q <= 1'b1;
else
q <= ~q;
endmodule

```

