

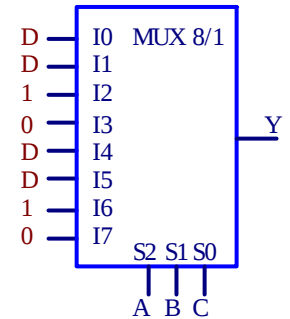
Név:

Index szám:

Pontszám:
(max. 50)

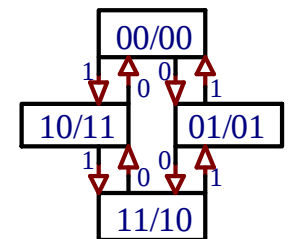
1. Az $Y = f(A, B, C, D)$ függvényt az ábrán megadott módon, 8/1-es multiplexerrel valósítottuk meg. Rajzolja meg a függvény igazságtáblázatát, majd végezze el a minimalizációt Karnaugh tábla segítségével! A minimalizált függvényt valósítsa meg tisztán *NAND* kapukkal!

(10 pont)



2. *D* flip-flop-ok és tetszőlegesen megválasztott logikai kapuk segítségével tervezzen egy olyan Moore-féle hálózatot, amely a megadott állapotdiagram szerint működik! A téglalapokban a megfelelő állapot kódja ($Q1, Q0$) valamint az X és Y kimenetek értékei szerepelnek, a nyilak mellett pedig az A vezérlőbemenet értéke látható.

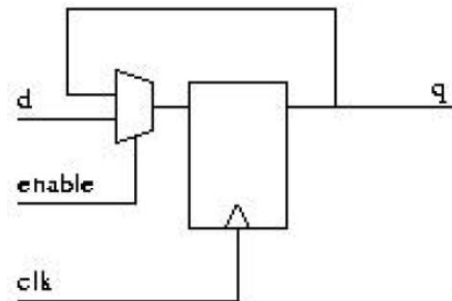
(15 pont)



3. A megadott HDL leírását alakítsa át úgy, hogy működése a mellékelt logikai rajznak feleljen meg!

(10 pont)

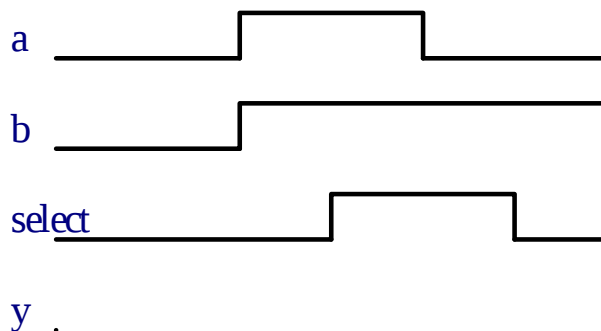
```
module Exam (q, d, clk);
  output q;
  reg q;
  input d, clk;
  always @ (posedge clk)
    q <= d;
endmodule
```



4. Rajzolja meg az alábbi tervezési modulnak megfelelő digitális hálózatot és adja meg az y jel idődiagramját, hogy megfeleljenek a leírásnak!

(15 pont)

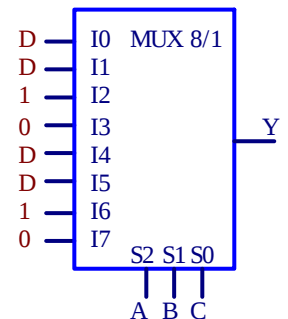
```
module Exam (y,a,b,select);
  input a, b,select;
  output y;
  reg y;
  always @ (a or b or select)
    if (select)
      y = a;
    else
      y = b;
endmodule
```



Ime:	Broj indeksa:	Broj poena: (max. 50)
------	---------------	--------------------------

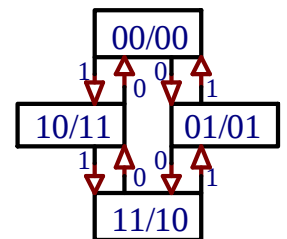
1. Funkcija $Y = f(A, B, C, D)$ je realizovana pomoću multipleksora 8/1 kako je prikazano na slici. Nacrtajte kombinacionu tablicu za datu funkciju i izvršite minimizaciju pomoću Karnaugh-ove tablice! Realizujte minimiziranu funkciju čisto pomoću NI kola!

(10 poena)



2. Pomoću D flip-flop-ova i proizvoljno odabranih logičkih kola projektovati Moore-ovu mrežu koja radi po prikazanom dijagramu stanja! U pravougaonicima su navedeni kodovi odgovarajućih stanja ($Q1, Q0$) i vrednosti izlaza X i Y pri tome. Pored strelica navedene su logičke vrednosti upravljačkog signala A.

(15 poena)



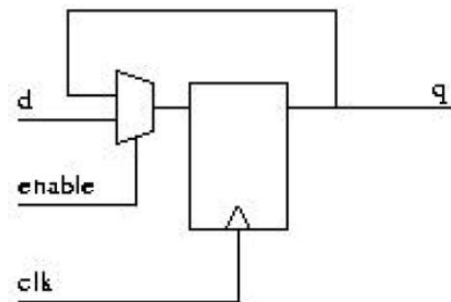
3. Dati HDL opis promeniti tako da sintetizovano digitalno kolo ima ponašanje kao šema na slici!

(10 poena)

```

module Exam (q, d, clk);
  output q;
  reg q;
  input d, clk;
  always @ (posedge clk)
    q <= d;
endmodule

```



4. Nacrtati digitalno kolo koje će se sintetizovati na bazi datog HDL modula i doctati vremenski dijagram za signal y tako da odgovara opisu!

(15 poena)

```

module Exam (y,a,b,select);
  input a, b,select;
  output y;
  reg y;
  always @ (a or b or select)
    if (select)
      y = a;
    else
      y = b;
endmodule

```

